

W2182 EM

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-209773  
 (43)Date of publication of application : 03.08.2001

(51)Int.CI.

G06K 19/077  
 B42D 15/10  
 G06K 19/073

(21)Application number : 2000-018030  
 (22)Date of filing : 25.01.2000

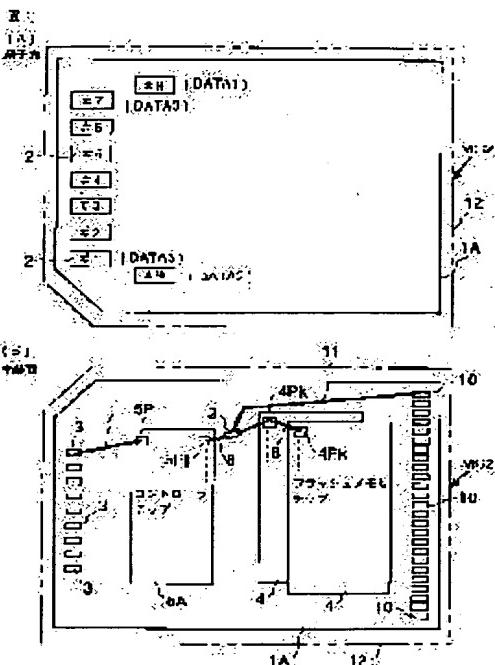
(71)Applicant : HITACHI LTD  
 (72)Inventor : NISHIZAWA HIROTAKA  
 ISHIHARA HARUJI  
 SHIRASHI ATSUSHI  
 KANEMOTO KOICHI  
 YUGAWA YOSUKE

## (54) IC CARD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an IC card which easily realizes compatibility about the arrangement and function of connector terminals.

**SOLUTION:** This IC card MC2 has a card base material 1A where a semiconductor integrated circuit chips 4 and 5A are mounted and a plurality of connector terminals 2 are formed and exposes the connector terminals from the casing. The connector terminals are arranged in a staggered manner in a plurality of columns between adjacent columns to each other in front of or at the back of an IC card insertion direction. A relatively simple configuration where the projection quantity of the socket terminal of a card socket is changed and one vertical column is arranged can be adopted by adopting a staggered arrangement. When the connector terminal arrangement of a lower IC card is adopted to a specified connector terminal column as it is and the dedicated function of an upper IC card is allocated to another staggered connector terminal column is allocated with respect to it, lower compatibility also can easily be realized.





タ端子と共に前記コネクタ端子に導通された複数個の接続部品が形成されたカード基板を有し、前記カード基板上での配線順序は該カード基板の一辺に対して前記コネクタ端子、コントローラチップ、メモリチップの順とされ、前記コネクタ端子をケーシングから露出する1Cカードであって、  
前記コントローラチップは前記コネクタ端子の配列方向に沿って拡張形状を有し、コネクタ端子側には当該コネクタ端子に前記接続パッドを介して接続される複数個のコネクタ端子と共に前記コネクタ端子に導通された複数個の接続部品が形成されたカード基板を有し、前記コネクタ端子をケーシングから露出する1Cカードであって、  
前記コントローラチップはコントローラチップ側に当該コントローラチップに接続される複数個のコントローラチップ端子を有するものであることを特徴とする1Cカード。

【請求項1-6】 前記接続パッドは前記コントローラチップのコネクタインタフェース端子にボンディングワイヤを介して接続され、前記コントローラチップのメモリチップのコントローラチップ側に当該コントローラチップ端子と前記コネクタ端子とに接続された複数個のテスト端子を有して成るものであることを特徴とする1Cカード。

【請求項1-7】 半導体集積回路チップが実装された複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングの一面から露出する1Cカードであって、前記ケーシングはその表面に印刷され又はその表面に凹陥形成された文字情報を有するものであることを特徴とする1Cカード。

【請求項1-8】 半導体集積回路チップが実装された複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングの一面から露出する1Cカードであって、前記ケーシングはその表面に印刷され又はその表面に凹陥形成された1Cカード挿入方向の指示記号を有して成るものであることを特徴とする1Cカード。

【請求項1-9】 半導体集積回路チップが実装された複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングの一面から露出する1Cカードであって、前記ケーシングには表題に貫通孔が形成されて成るものであることを特徴とする1Cカード。

【請求項2-0】 前記貫通孔に組込まれ前記ケーシングに重ねられた状態で前記コネクタ端子を覆う端子保護バーを設けて成るものであることを特徴とする請求項1-9記載の1Cカード。

【請求項2-1】 メモリチップと前記コネクタ端子を制御するコントローラチップとが一面に実装された地面上に複数個のコネクタ端子が形成されたカード基板を有し、前記

記コネクタ端子をケーシングから露出する1Cカードであって、前記カード基板は更に、前記コントローラチップ及び前記カード基板は該カード基板の一辺に対して前記コネクタ端子と前記コネクタ端子との間に接続するテスト端子を有する。

#### 【002】

【従来の技術】 携帯電話、ディジタルネットワーク機器間での情報の移動等を目的としたマルチメディアカードなどの小型堅拙化及びインタフェースの簡素化を実現したメモリカードが提供されている。マルチメディアカードは、例えばCQ出版社発行のインタフェース(1999年12月号)に記載されるように、外部インターフェース端子として7個のコネクタ端子を有し、シリアルインターフェースが採用さて、PCカードやハードディスクが採用するATインターフェースに比べてホストシステムの負荷を低減でき、より簡易なシステムでも利用できるようになっている。また、同文献には、シリアルインターフェースを採用し、9個のコネクタ端子を有し、マルチメディアカードの上位互換メモリカードとしてSDカードが提案されている、との記載がある。

#### 【003】

【発明が解決しようとする課題】 本発明者はマルチメディアカードに対する互換性、機能拡張、信頼性向上等について種々の検討を行った。

#### 【004】

【004】第1に、マルチメディアカード等のコネクタ端子の形状や配置について検討した。個々のメモリカードのインターフェース仕様の相違点はカードのコネクタ端子の形状や配置に及び、その相違点がカードソケットのソケット端子に反映される。したがって、ケーリングの大きさや厚さに統一性があつてもコネクタ端子の配列や形状に共通性が無ければ、メモリカード相互間での互換性や上位互換を実現し難い事が本発明者によつて明らかにされた。

#### 【005】

【005】第2に、ATAインターフェースを採用するPCカードやコンパクトフラッシュカード等に比べてシリアルインターフェースではデータ処理上必要なデータ入出力率を得られない場合のあることが予想される。これに答えるにはデータ入出力用のコネクタ端子の数を増やすければならず、そのときは上記観点による互換性が考慮されるべきである。

#### 【006】

【006】第3に、1Cカードの大きさを変えずにコネクタ端子を有し、前記ソケットに接続される複数個のソケット端子を前記1ビットモード又は4ビットモードを選択的に設定可能なカードインターフェースコントローラはホスト制御装置の制御を受けるものであることを特徴とするデータ处理器システム。

#### 【007】

【007】第4にP/Cカードに比べて小さく薄い1Cカードには保管、搬送、出荷などの形態を考慮した工夫が必要である。

#### 【008】

【008】第5に、マルチメディアカード等のメモリカードではコネクタ端子を選択的に露出させるため

の機械的シャッタ機構を採用するスペースを有難い。したがつて、マルチメディアカードの音脱や脱行時にコネクタ端子に直接指などが触れると、実装されている半導体集積回路チップのESD保護性能を超えるサージにより、半導体から頻繁に着脱される場合も予想され、静电放電防止を強化することの有用性が本発明者によって見出された。

【009】第6に、1Cカードの機能向上やコネクタ端子の増加等によってカード基板上の空き領域が減つくるので、信号線の不所望なリードによる駆動動作を生じないように、配線バーンの密集やボンディングワイヤの密集を避ける考慮が1Cカードの信頼性向上につつながる。

#### 【010】

【010】本発明の目的は1Cカードの便利性及び柔軟性を向上させることにある。

#### 【011】

【011】本発明の目的は、コネクタ端子の配列装着時に電源間ショートを生じ難い1Cカードを提供することにある。

#### 【012】

【012】本発明の目的は、カードソケットへの密集やボンディングワイヤの密集を回避できる1Cカードへの柔軟性を向上させることにある。

#### 【013】

【013】本発明の更に別の目的は、配線パターンの密集やボンディングワイヤの密集を回避することにある。

#### 【014】

【014】本発明の目的は、簡単な構成によりコネクタ端子からのサービス流入を阻止可能な1Cカードを提供することにある。

#### 【015】

【015】本発明の前記及び他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【016】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

#### 【1】

【1】コネクタ端子配列の特定の仕様に対してデータ用端子などを追加し上位互換を実現するとき、上位の1Cカードに属する上位互換性(例えは上位1Cカードのソケットに下位1Cカードを挿入して利用でできるという互換性)と共に、下位互換性(例えは上位1Cカードを下位1Cカードのソケットに挿入して利用でできるという互換性)にも対応可能にすることを、コネクタ端子の配列に対して考慮する。

【017】上記範囲による1Cカードは、半導体集積回路チップが実装されたコネクタ端子をケーシングから露出する。

【018】前記端子による1Cカードは、半導体集積回路チップが実装されたコネクタ端子が形成されれたカード基板を有し、前記コネクタ端子を有し、前記ソケットに接続される複数個のソケット端子を有し、前記ソケット端子を介して前記1Cカードに前記1ビットモード又は4ビットモードを選択的に設定可能なカードインターフェースコントローラを有し、前記カードインターフェースコントローラはホスト制御装置の制御を受けるものであることを特徴とするデータ处理器システム。

【019】上記範囲による1Cカードは、半導体集積回路チップが実装されたコネクタ端子をケーシングから露出する。

【発明の詳細な説明】  
【001】  
【発明の属する技術分野】 本発明は、1Cカードのコネクタ端子を選択的に露出させるため

ば、前記コネクタ端子は1 ICカード挿入方向の前後に形成された2列の配列を有し、第1列目に配置されたコネクタ端子の端子間領域の配列と第2列目に配置されたコネクタ端子の端子を有し、第1列目に配置されたコネクタ端子が前記コネクタ端子を全部で13個設ける構成を採用してよい。

【0026】例えばコネクタ端子が前記9端子の1 ICカードを想定したとき、データ端子1ビットのメモリカードとの互換性を実現するとき、前記半導体チップは前記コネクタ端子に接続されたコントローラチップを有し、前記コントローラチップは外部からの指示に従って前記不揮発性メモリチップは所定のコネクタ端子の状態又は所定のコネクタ端子からの入力状態に応答して設定される、前記4ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記4ビットのデータ用端子を用いて4ビット並列入力を用う4ビットモードとを有する構成が考えられる。

【0027】同様に、コネクタ端子が前記13端子の1 ICカードを想定したとき、データ端子1ビット、4ビットのメモリカードとの互換性を実現する場合、前記コネクタ端子は、所定のコネクタ端子の状態又は所定のコネクタ端子から入力状態に応答して設定される、前記8ビットのデータ用端子の内の1ビットを用いる1ビットモードと、前記8ビットのデータ用端子の内の4ビットを用いて4ビット並列入力を用う4ビットモードと、前記8ビットのデータ用端子を用いて8ビット並列入力を用う8ビットモードとを備えればよい。

【0028】(4) 前記1ビットモードだけを有する1 ICカード、前記4ビットモードと4ビットモードを選択可能な1 ICカードの何れも利用可能にするデータ処理システムを想定する。このデータ処理システムは、前記1ビットモードが装着された1 ICカードのコネクタ端子に接続される複数個のソケット端子を有し、前記ソケット端子を介して前記1 ICカードに前記1ビットモード又は4ビットモードを接続する。このとき第2列目の機械部を割り当てるために、前記1 ICカードのケーシング及び下位互換部に於ける構成を想定する。そのため、前記第2列目に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1列目に配置されたコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在させ、前記第2列目に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1列目に配置されたコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在させる構成を採用する。

【0029】これによれば、第1乃至第3の1 ICカードは相互に他の何れの1 ICカードのソケットにも挿入して利用可能な互換性を容易に実現可能に成る。

【0030】(3) 前記コネクタ端子の具体的な機能は任意であるが、現状のマルチメディアカードなどを考慮すれば、前記コネクタ端子は1個の電源電圧供給用端子、2個の接地電圧供給用端子、及び1個のクロック信号入力用端子を含んでよい。

【0031】マルチメディアカードはデータ端子は1ビットであるが、データ出入力レートを上げる事を考慮したとき、4ビット分のデータ用端子を設け前記コネクタ端子を全部で9個設ける構成、或いは8ビット分のデータ

制御を受ける。

【0030】前記1 ICカードとしてメモリカードを想定すると、前記半導体チップとして、前記コントローラチップは前記コネクタ端子の順とされ、前記コネクタ端子をケーシングから露出する。前記コントローラチップは前記接続端子に沿つて縦長形状を有し、コネクタ端子側には前記接続端子を介して接続される複数個のコネクタインタフェース端子には当該メモリチップに接続される複数個のメモリチップ側には当該メモリチップに接続される複数個のメモリインタフェース端子を有する。前記メモリチップはコントローラチップ側に当該コントローラチップに接続される複数個のコントローラチップエース端子を有する。

【0031】これによれば、総長のコントローラチップをコネクタ端子側に寄せ、コントローラチップの反対側にモリチップを配置する事により、前記コネクタ端子側にモリチップの配置領域を比較的大きくすることができる。さらに、前記コネクタ端子側にモリチップを配置するから、モリチップの配置領域を比較的大きくすることができる。また、用途によっては不揮発性メモリをRAMに代えてよい。

【0032】(1) 《電源ショート防止》 1 ICカード挿入方向第1列目のコネクタ端子列に電源電圧供給用のコネクタ端子が配置されているとき、第2列目のコネクタ端子列には前記電源電圧供給用のコネクタ端子に接続する位置を形成しておく。仮に、第2列目のコネクタ端子列に前記電源電圧供給用のコネクタ端子に隣り合う別なコネクタ端子が千鳥状で配置されている場合、当該別のコネクタ端子に割当られるカードシケットのソケット端子は前記別のコネクタ端子に至る前にその前方に位置する電源供給用コネクタ端子と他のコネクタ端子との双方に接触する虞があり、この状態で電源電圧供給用のソケット端子が既に接続しているなら、電源ショートの虞がある。前記端子間領域を形成する構成を採用すれば、コネクタ端子の第1列目と第2列目の列間距離を大きくしたり、コネクタ端子の幅を狭くしたりする手段を講じなくてよい。

【0033】上記同様の目的で、1 ICカード挿入方向第1列目のコネクタ端子列には、第2列目のコネクタ端子列に隣接部分に幅広の端子間距離を設定したコネクタ端子を設けてよい。

【0034】(1) 《ICカードの破損防止》 1 ICカードをカーデッドソケットに挿入するとき、先ず、1 ICカードの先端部にソケット端子の接点が当接する。これにより、経時的に1 ICカードのケーシング先端部が変形し或いは破裂する虞がある。また、逆にソケット端子に曲がりを生ずる虞もある。これを回避するために、1 ICカードのケーシングに、1 ICカード挿入方向先端部からケーシングのコネクタ端子形成面に至る斜面又は円弧で形成された案内部を形成する。この案内部の斜面又は円弧はその他の端部に形成された斜面及び円弧よりも大きくなる。

【0035】(2) 《配線引き回しの削減》 1 ICカードは、メモリチップと前記メモリチップを制御するコントローラチップとが接続された複数個のコネクタ端子と共に前記コネクタ端子に接続された複数個のコネクタ端子を前記ソケット端子を介して前記1 ICカードに前記1ビットモード、4ビットモード又は8ビットモードを選択的に設定可能なカードソケットを有し、前記ソケット端子は接続される複数個のソケット端子を有し、前記ソケット端子を介して前記1 ICカードに前記1ビットモード、4ビットモード又は8ビットモードを選択可能なデータ処理システムは、前記1ビットモード、4ビットモード又は8ビットモードを選択可能な1 ICカードが装着された1 ICカードのコネクタ端子に接続する複数個のソケット端子を有し、前記ソケット端子を介して前記1 ICカードに前記1ビットモード又は4ビットモードを接続する。このとき第2列目の機械部を割り当てるために、前記1 ICカードのケーシング及び下位互換部に於ける構成を想定する。このとき第2列目の機械部を割り当てるために、前記1 ICカードのケーシング及び下位互換部に於ける構成を想定する。

【0036】(3) 《コネクタ端子を保護する》 1 ICカード基板のコネクタ端子を保護するには、前記コネクタ端子を保護するバッジを用意する。この保護バッジは、前記コネクタ端子に触れてしまう事態を抑制する事ができるから、この点で、1 ICカードに接続されている半導体集積回路に接続するテラチップを保護することができる。

【0037】(4) 《テスト端子》 半導体集積回路チップの実装後におけるテストを効率化するには前記メモリチップのこの点で、1 ICカードに接続したカード基板に、前記コントローラチップ及び前記メモリチップに接続するテスト端子を設ける。テスト端子はケーシングに組み込んだ後は常時露出させない方がよいから、この観点に立てば、前記テスト端子は前記カード基板のコネクタ端子形成面とは反対側に形成するのがよい。また、前記コントローラチップのメモリインタフェース側端子を高インピーダンス状態に制御する制御信号を前記コントローラチップに供給するコントロール端子を設ければ。

とを有する。前記メモリチップ4はコントローラチップ5に接続される複数個の5側に当該コントローラチップ5に接続される端子番号4 P kを有する。前記コントローラチップ5は前記コンントローラチップ5 Aは接続バッド3に接続される端子番号5 P iにボンディングワイヤ7で接続される。前記コンントローラチップ5のメモリインターフェース端子5 P jはメモリチップ4のコントローラインターフェース端子4 P kにボンディングワイヤ8で接続される。9は中継バーンである。

【0047】更にカード基板1には、前記コンントローラチップ5及び前記メモリチップ4にボンディングワイヤ7と#9との間に接続され、端子面はケーシング12から露出される。尚、ボンディングワイヤ7、8、11による接続は一例を示してあり、端子も同様にボンディングワイヤ等で接続されている。

【0048】ここで、端子面のコネクタ端子2には便宜上端子番号#1～#7を付してある。マルチメディアカードアカードモードでは#1はリサーバ端子（オーバン又は論理値“1”に固定）、#2はコマンド端子（コマンド入力及び応答出力を行う）、#3及び#6は回路の接地電圧（グランド）端子、#4は電源電圧供給端子、#5はクロック入力端子、#7はデータの出入力端子として機能される。S P I (Serial Peripheral Interface)モードでは#1はチップセレクト端子（負論理）、#2はデータ入力端子（ホスト装置からカードへのデータ及びコマンド入力用）、#3及び#6は回路の接地電圧（グランド）端子、#4は電源電圧供給端子、#5はクロック入力端子、#7はデータ出力端子（メモリカードからホスト装置へのデータ及びステータス出力）として機能される。マルチメディアカードモードは複数のマルチメディアカードを同時に使用するシステムに好適な動作モードであり、マルチメディアカードの識別は図示を省略する。コネクタ端子2はアルミニウム、銅又は鉄合金などの導電バタンクに金メッキやニッケルメッキ等が施されて成る。接続バッド3とコネクタ端子2との接続はカード基板1上の図示を省略する。

【0049】カード基板1の実装面上には、例えば電気的に書き換可能なフラッシュメモリチップ4と前記フラッシュメモリチップ4を制御するコントローラチップ5が配線バーンとカード基板1の裏裏を導通されるスルホールによって行われる。

【0050】カード基板1の実装面上には、例えば電気的に書き換可能なフラッシュメモリチップ4と前記フラッシュメモリチップ4を制御するコントローラチップ5が接続される。データセキュリティーを考慮する場合には、前記コントローラチップ5は更に、前記フラッシュメモリチップ4に対するリード・ライト動作を制御する。データセキュリティーを考慮する場合には、前記コントローラチップ5が外部から与えられる指示に従つて前記フラッシュメモリチップ4に対するリード・ライト動作を制御する。データセキュリティーを考慮する場合には、前記コントローラチップ5が接続される上位互換のメモリカードMC 2をそれを専用のカードソケットに接続したとき前記端子#8、#9はカードソケットのシケット端子に専用されるから、电源投入時にコントローラチップ5 Aが少なくとも端子#8、#9の双方又は一方にホスト装置から特定の信号若しくはスルバードモードで接続される。

【0051】前記コントローラチップ5は、前記コネクタ端子2の配列方向に沿つて絶縁形状を有し、コネクタ端子2側には当該コネクタ端子2に前記接続バッド3を介して接続される複数個のコネクタインターフェース端子5 P iと前記メモリチップ4側には当該メモリチップ4に接続される複数個のメモリインターフェース端子5 P j

があり、追加された2個のコネクタ端子は端子番号#8、#9とされる。

【0050】前記#1～#7のコネクタ端子2はカード基板1 Aに対して第1列目のコネクタ端子列を構成し、追加された前記#8、#9のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子列を構成する。#8、#9のコネクタ端子2の大きさは他のコネクタ端子2と同じである。

【0051】このマルチメディアカードMC 2は、端子#2～#7と#8のコネクタ端子2は千鳥状に配置されいる。

【0052】このマルチメディアカードMC 2は、端子#2～#7がマルチメディアカード専用メモリカードMC 1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてサーバ端子であった端子#1は第4ビット目のデータ端子DATA 13、追加された端子#8、#9は第2ビット目のデータ端子DATA 1、第3ビット目のデータ端子DATA 2とされる。前記マルチメディアカードMC 0はマルチメディアカードモードと同じ端子#7である。従ってこのマルチメディアカードMC 2は、前記マルチメディアカードMC 1のマルチメディアカードモードにおいてデータ端子DATA 13個配置され、ネクタ端子2及び接続バッド3が1個配置される点である。前記端子番号#1～#7はマルチメディアカード専用メモリカードMC 1とレイアウト構成が同一であり、追加された6個のコネクタ端子は端子番号#8～#13とされる。

【0053】前記#1～#7のコネクタ端子2はカード基板1 Cに対して第1列目のコネクタ端子列を構成し、追加された前記#8～#13のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子2の大きさと同じである。前記端子番号#1～#3はマルチメディアカードMC 1とレイアウト構成が同一であり、追加された6個のコネクタ端子は端子番号#8～#13とされる。

【0054】前記#1～#7のコネクタ端子2はカード基板1 Cに対して第1列目のコネクタ端子列の配列と第2列目のコネクタ端子列の配列とが列方向で相互に並んでおり、要するに、第1列目のコネクタ端子2は第2列目のコネクタ端子2の大きさと同じである。第1列目のコネクタ端子列と第2列目のコネクタ端子列は千鳥状に配置され、端子#1～#7がマルチメディアカードMC 1のマ

ルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてサーバ端子DATA 1～#3が例示される。メモリカードMC 2をそれを専用のカードソケットに接続したとき前記端子#8、#9はカードソケットのシケット端子に専用されるから、电源投入時にコントローラチップ5 Aが少なくとも端子#8、#9の双方又は一方にホスト装置から特定の信号若しくはスルバードモードで接続される。

コマンドが供給されることによって当該メモリカードMC 2に前記4ビットモードを設定すればよい。

【0055】コントローラチップ5 Aは接続バッド3に接続されるデータ入出力端子の数が4個である点で前記コントローラチップ5と相違する。その他の構成は図6と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0056】図3には前記マルチメディアカードMC 2に対してデータ端子が4ビットとされる上位互換の別のメモリカードMC 3が例示される。このメモリカードMC 3のメモリ基板1 Bは、メモリカードMC 2に対して、前記端子番号#8、#9のデータ端子の配置及び大きさの点で相違している。#8のデータ端子は第1列目の端子列に完全に組み込まれ、他のコネクタ端子2に比べて端子に幅が小さくされている。#9のデータ端子は#1のデータ端子の外側でこれど入れ子の状態になる位置に配置変更されている。その他の構成は図1と同様であり、同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0057】このマルチメディアカードMC 2は、端子#2～#7がマルチメディアカード専用メモリカードMC 1のマルチメディアカードモードと同一機能に割り当てられ、当該マルチメディアカードモードにおいてサーバ端子DATA 1～#3が例示される。メモリカードMC 4が例示される。メモリカードMC 4は#1の相違点は、ネクタ端子2及び接続バッド3が1個配置され、前記端子番号#1～#7はマルチメディアカードMC 1とレイアウト構成が同一であり、追加された端子番号#8～#13とされる。

【0058】このマルチメディアカードMC 4は、端子#8～#13とされる。

【0059】前記#1～#7のコネクタ端子2はカード基板1 Cに対して第1列目のコネクタ端子列を構成し、追加された前記#8～#13のコネクタ端子2は第1列目のコネクタ端子列に対して離間配置された第2列目のコネクタ端子2の大きさと同じである。前記端子番号#1～#3はマルチメディアカードMC 1とレイアウト構成が同一であり、追加された6個のコネクタ端子は端子番号#8～#13とされる。

【0060】このマルチメディアカードMC 4は、端子#8～#13とされる。

目のデータ端子DATA6、第8ビット目のデータ端子

DATA7、第6ビット目のデータ端子DATA5、第2ビット目のデータ端子DATA1とされる。第1ビット目のデータ端子DATA0はマルチメディアカードモードと同じ端子#7である。従ってこのメモリカードMC4は、前記メモリカードMC1のマルチメディアカードモードにおいてデータ入出力が8ビット並列で可能なされる点で前記メモリカードMC1と相違される。

[0059]更にこのメモリカードMC4は、前記マルチメディアカード専用端子MC1に対して、前記端子番号#8、#7～#13のコネクタ端子2の配列を図2の内に前記8ビットのデータ用端子#1、#7～#13の内のデータ用端子#7を用いる1ビットモードと、前記8ビットのデータ用端子#1、#7～#13の内の4ビットモードと同様である。即ち、コントローラチップ5Bは、前記8ビットのデータ用端子#1、#7～#13の内の1ビットモードと同様である。このメモリカードMC5の内部のデータ端子は第1列目の端子列に完全に組み込まれ、他のコネクタ端子2に比べて幅が小さくされている。#8のデータ端子は#1のデータ端子の外側でこれと入れ子の状態になる位置に配置変更されている。

その他の構成は図3と同様であり、同一機能を有する回路要索には同一符号を付してその詳細な説明を省略する。

[0060]前記動作モードの設定は所定のコネクタ端子の状態又は所定のコネクタ端子からのコマンド入力状態に応答して設定すればよい。例えば、メモリカードMC4をマルチメディアカード専用端子MC1の専用端子MC6に装着したとき前記端子#8～#13はフローティングになるから、電源投入時にコントローラチップ5Bが前記4ビットモードとの相違できるデータ端子DATA1、DATA2の双方又は一方のコネクタ端子2のフローティング状態をソフト的又はハード的に(ソフトウェアを専ら利用し又はハードウェア的な構成を専ら利用して)検出することにより、当該メモリカードMC4に前記1ビットモードを設定すればよい。

[0061]また、前記メモリカードMC4を図1のメモリカードMC2のカーボンシケットに装着したとき前記端子#9～#12はブローティングになるから、電源投入時にコントローラチップ5Bがデータ端子DATA4～DATA7の全部又は一部のコネクタ端子2のフローティング状態をソフト的又はハード的に検出することによって当該メモリカードMC4に前記4ビットモードを設定すればよい。

[0062]また、前記メモリカードMC4をそれ専用のカーボンシケットに装着したとき前記端子#9～#12はカーボンシケットのシケット端子に導通されるから、電源投入時にコントローラチップ5Bが少なくともデータ端子DATA4～DATA7の全部又は一部にホスト装置から特定の信号若しくはコマンドが供給されるのを検出することによって当該メモリカードMC4に前記8

配列と図4のメモリカードMC5のコネクタ端子2の配列との相補導を有するコネクタ端子配列を有しているから、図1、図2、図3、図4及び図6の何れとの関係においても上位及び下位互換性のあるオールマイティーカードとして位置付けられる。

[0067]図7には前記オールマイティーカードMC6に対応されたカーボンシケットに当該メモリカードMC6を装着した状態が示される。カーボンシケット2.2は奥部に夫々のコネクタ端子2に対応して突出されたシート端子2.2Aを有する。前記コネクタ端子2の配列に、前記千鳥状で代表される形態の複数列配置を採用しているから、カーボンシケット2.2のシート端子2.2Aの突起を変えて縦一列に配置する比較的簡単に構成が採用することができる。コネクタ端子2.2の接点はシート端子2.2Aの先端(■印)部分である。

[0068]図8には図1のマルチメディアカード専用端子MC1又は図示を省略するマルチメディアカードモードに対応されたカーボンシケット2.1に前記オールマイティーなメモリカードMC6を装着した状態が示される。前記8ビットモードが前記1ビットモードが設定されることによってマルチメディアカード専用端子MC1又は図示を省略するマルチメディアカードと同じ動作が可能にされる。

[0069]図9には図2のマルチメディアカード専用端子MC3に応答されたカーボンシケット2.2に前記オールマイティーナメモリカードMC6を装着した状態が示される。前述のように、メモリカードMC6は前記4ビットモードが設定されることによってメモリカードMC3と同じ動作が可能にされる。

[0070]特に図示はしないが、図7のカーボンシケット2.2に図1乃至図4のメモリカードMC1～MC5を装着しても、夫々所定の動作モードで動作することができる。カーボンシケット端子2.3Aの接点(■印部分)は電源電圧Vdを入力する#4のコネクタ端子2.3Abが配置される事になる。

[0071]図10には図7のカーボンシケットMC7をカーボンシケット2.3に挿入するとき、図11の(C)に示されるようにシケット端子2.3Abの接点(■印部分)は電源電圧Vdを入力する#3のコネクタ端子と回路の接地電圧Vsを入力する#3のコネクタ端子の表面に接続する。

このとき、電源電圧Vdを受けるシケット端子2.3Abが#4のコネクタ端子に導通し、回路の接地電圧Vsを受けるシケット端子2.3Abが#3のコネクタ端子に導通すると、図11の(C)に示されるように、シケット端子2.3Abの接点(■印部分)は電源電圧Vdを入力する#4のコネクタ端子と接地電圧Vsがショートする。

[0072]図7に示されるように電源供給用コネクタ端子である#4の端子の後方にコネクタ端子を配置しないことにより、そのような電源ショートの壁を未然に防止する事ができる。

[0073]前記電源シートの対策は、図11に例示されるように、メモリカード専用端子列に第1列目のコネクタ端子列には、第2列目のコネクタ端子列に臨む部分に

プロセッサ、このマイクロプロセッサのワークRAMを有し、バスを介して前記カーボンシーケンスコントローラ30との間でコマンドやデータのインタフェース制御、そして、カーボンシーケット2.2に装着されたメモリカードMC4に対して前述のような動作モードの設定制御を行う。これにより、MC1乃至MC6の何れのメモリカードも利用する事ができる。

[0074]尚、図示はしないが、メモリカードMC2又はMC3のカーボンシーケットを有するデータ処理システムにしても、同様にして複数種類のメモリカードを用可能に構成する事ができる。

[0075]『電源電圧シート防止』前記図1乃至図5のメモリカードMC2～MC6において前2列のコネクタ端子2の配列に電源電圧シートの防止が考慮されている。上記の例では電源供給用コネクタ端子である#4の端子の後方には端子が配置されていない。図7に例示されるように行方の前にコネクタ端子2が配置されている。#4の端子は、短い端子2.2Asと長い端子2.2Aが交互にコネクタ端子の半分のピッチで密集して配置されている。これに対して後ろにコネクタ端子が無ければ、図7に示されている部分では、カーボンシーケット2.2のシケット端子2.2Asと長い端子2.2A1が交互にコネクタ端子のピッチで密接して配置されている。

[0076]前記8ビットモードが前記1ビットモードが設定されることによってマルチメディアカード専用端子MC1又は図示を省略するマルチメディアカードと同じ動作が可能にされる。このメモリカードMC7を想定する。このメモリカードMC7に接続されるカーボンシーケット2.3では、#4のコネクタ端子に#10、#11のデータ端子を配置したメモリカードMC7を想定する。このメモリカードMC7に接続されるカーボンシーケット端子2.3Abの接点(■印部分)は長いシケット端子2.3Abが配置される事になる。

[0077]前記8ビットモードが設定されることによってメモリカードMC6は前記オールマイティーカード専用端子MC3に応答されることによってマルチメディアカード専用端子MC1又は図示を省略するマルチメディアカードと同じ動作が可能にされる。

[0078]前記8ビットモードが設定されることによってメモリカードMC6は前記オールマイティーナメモリカードMC6を装着した状態が示される。前述のように、メモリカードMC6は前記4ビットモードが設定されることによってメモリカードMC3と同じ動作が可能にされる。

[0079]特に図示はしないが、図7のカーボンシーケット2.2に図1乃至図4のメモリカードMC1～MC5を装着しても、夫々所定の動作モードで動作することができる。カーボンシーケット端子2.3Aの接点(■印部分)は電源電圧Vdを入力する#4のコネクタ端子と接地電圧Vsを入力する#3のコネクタ端子の表面に接続する。

[0080]このとき、電源電圧Vdを受けるシケット端子2.3Abが#4のコネクタ端子に導通し、回路の接地電圧Vsを受けるシケット端子2.3Abが#3のコネクタ端子に導通すると、図11の(C)に示されるように、シケット端子2.3Abの接点(■印部分)は電源電圧Vdを入力する#4のコネクタ端子と接地電圧Vsがショートする。

[0081]前記電源シートの対策は、図11に例示されるように、メモリカード専用端子列に第1列目のコネクタ端子列には、第2列目のコネクタ端子列に臨む部分に

幅広の端子間距離を設定したコネクタ端子2Aを設ければよい。要するにコネクタ端子2Aの後方の角部分には比較的大きな面取り部分を形成しておけばよい。

【0078】他の電源ショートの対策は、図13に示されるように、短い方のソケット端子23Aa, 23Acの接点の先端から、長い方のソケット端子23Abの接点の基礎までの距離D1が、#3, #4のコネクタ端子の幅寸法B1よりも大きければよい。また、ソケット端子23Abの大きさが#3, #4のコネクタ端子の間隔寸法より十分小さければよい。但し、寸法的な規定によって電源ショートを防止する場合には、加工誤差や組立難易があり、また、メモリカード自体割れと見なすには無理があるため、高い信頼性をもつて電源ショートを防止するには図7や図12の手段を講ずるのが得策である。

【0079】《配線引き回しの削減》図1乃至図6で説明したメモリカードDMC1～MC6は、前記カード基板上での配線順序は当該カード基板の一辺に対して前記コネクタ端子2、コントローラチップ5(5A, 5B)、フラッシュメモリチップ4の順とされ、前記コネクタ端子2はケーシング12から露出される。前記コントローラチップ5(5A, 5B)は前記コネクタ端子2の配列方向に沿って縦長形状を有し、コネクタ端子2の側には当該コネクタ端子2に前記接続パッド3を介して接続される複数個のコネクタ端子5P1と前記フラッシュメモリチップ4の側には当該フラッシュメモリチップ4に接続される複数個のメモリインターフェース端子5P1とを有する。前記フラッシュメモリチップ4はコントローラチップ5(5A, 5B)の間に当該コントローラチップ5(5A, 5B)に接続される複数個のコントローラインターフェース端子4Pkを有する。前記端子5P1, 5Pj, 4Pkは例えばボンディングパッドによって構成される。

【0080】これによれば、縦長のコントローラチップ5(5A, 5B)をコネクタ端子2の間に寄せて、コントローラチップ5(5A, 5B)の反対側にフラッシュメモリチップ4を配置するから、フラッシュメモリチップ4の配線領域を比較的大きくすることができる。さらには、前記コネクタ端子2、コントローラチップ5(5A, 5B)、メモリチップ4を夫々接続する配線はそれらの配列方向に規則的に配置すればよく、チップを迂回したり、複雑に折れ曲がる配線を採用しなくてよい。

【0081】前記コントローラチップ5(5A, 5B)のコネクタ端子5P1に前記接続パッド3をボンディングワイヤ8及び導電バーンを介して接続し、また、前記フラッシュメモリチップ4のコントローラチップ5(5A, 5B)のメモリインターフェース端子5Pjを外部からの信号線4Pに前記コントローラチップ5(5A, 5B)の入力端子を有する。前記コントローラチップ5(5A, 5B)のコネクタ端子5P1のうち電源電源VDD用の外部端子に配線11dで接続されたテスト用電源端子10dが設けられている。図17において、33で示されるものは静電保護防止のためにカード基板1に追加されたガードリングである。このガードリング33はカード基板1を周回し、回路のグランド電源端子に接続されている。

【0082】前記コントローラチップ5は外部からの指示に従つて前記フラッシュメモリチップ4に対する操作命令を実行する。

ド・ライト動作を制御し、更に、データセキュリティーアクションなどを考慮して、前記フラッシュメモリチップ4に蓄積されたデータに対しても暗号化を行い、前記フラッシュメモリチップ4から読み出したデータに対して復号を行っている。

【0083】コントローラチップ5の外部端子5Piは、コネクタ端子3の出入力機能に対応される。コントローラチップ5におけるメモリアクセスのための外部端子5Pjとして、フラッシュメモリチップ4に対するチップ選択信号/CCE0の出力端子、フラッシュメモリチップ4に対するチップ選択信号/CCE1の出力端子を有し、更に前記フラッシュメモリチップ4の外部端子4Pkに対応され且つそれは入出力方向が逆にされた外部端子を有する。また、図15、図16では図6とは異なる参考符号を用いた部分がある。

【0084】カード基板1はガラスエポキシ樹脂などで構成され、そのカード基板1の裏面には前記コネクタ端子2が導電バーンで形成されている。カード基板1の表面には、配線バーンや導電バーンを介して前記コントローラチップ5、フラッシュメモリチップ4が実装されている。図において、3はスルーホール4を介して対応するコネクタ端子2に接続された接続パッドである。

【0085】図15において図6のボンディングワイヤ8は8a, 8b, 8cに分けて図示している。コントローラチップ5やメモリチップ4は所謂アチップであり、それらの前記外部端子5Pi, 5Pj, 4Pkは、アルミニウム、アルミニウム合金、銅又は銅合金等のボンディングワイヤを有し、外部から供給されるコマンドとアドレスにしたがって、データ読み出し、消去、書き込み、ビット翻訢などの動作を行うようになっている。このフラッシュメモリチップ4は、複数個の外部端子4Pkとして、チップ選択を指示するチップオーブル信号(チップ選択信号とも称する)/CCE0とデータ端子、書き込み動作を指示するライトオーブル信号/WEの入力端子、入出力端子1/00～1/07、出入力端子1/00～1/07をコマンドデータの出入力又はアドレスの入力の何れに用いるかを指示するコマンド・データオーブル信号/CDEの入力端子、出力動作を指示するアトブットオーブル信号/OEの入力端子、データラッシュタイミングを指示するクロック信号/SCSの入力端子、書き込み動作中かを外部に指示するレディ・ビジー信号/R/Bの出力端子、リセット信号/RSESの入力端子を有する。

【0086】図16において、前記コントローラチップ5及び不揮発性メモリチップ4は全体として熱硬化性樹脂55でモールドされている。このとき、熱硬化性樹脂55によるモールド領域にはスルーホール40を含まないようになっており、ボンディング時機械的な力によるチップ損傷があるからである。

【0087】図16において、前記コントローラチップ5のコネクタ端子の外側の外部端子に配線11dで接続されたテスト用電源端子10dが設けられている。図17において、33で示されるものは静電保護防止のためにカード基板1に追加されたガードリングである。このガードリング33はカード基板1を周回し、回路のグランド電源端子に接続されている。

【0092】図16において、カード基板1の裏面を覆うケーシング12は表側を裏面を絶縁コーティングした金剛キャップ等で構成することができる。これにより、樹脂キャップに比べて、EMI(Electro Magnetic Interference:電磁波妨害)対策になり、機械的な締付けによる封止や高溫のキャップ止も可能になる。

【0093】《テスト端子》図1乃至図6で説明したカード基板1、1A～1Eは、コントローラチップ5及びフラッシュメモリチップ4の実装後におけるテストを効率化するために、前記コントローラチップ5及び前記メモリチップ4に接続するテスト端子10が設けられている。テスト端子10はケーシング3に組み込んだ後は常に露出させない方がよいから、この時点に立てば、前記テスト端子は前記カード基板のコネクタ端子3の形成面とは反対側の面に形成されている。

【0094】図17には図6のマルチメディアカード単塊メモリカードMCM1のテスト端子の接続状態が例示される。図17ではテスト端子の接続状態を効率化するためにコントローラチップ5と不揮発性メモリチップ4との接続状態については図示を簡略化している。図17において図6と同一機能を有する回路要素には同一符号を付けてその詳細な説明を省略する。

【0095】コントローラチップ5は、図6には図示を省略しているが外部端子5Pjの一つとして内部でブループラグアダプタ/TESTの入力端子(単にテスト端子/TESTとも記す)を有する。このテスト端子/TESTは、ローレベルが入力されるとき、不揮発性メモリチップ4とのインタフェース端子、特に出力端子及び出入力端子を高出力端子に寄与することによって、カード基板1のコスト低減に寄与することができる。

【0096】カード基板1には前記コントローラチップ5のモモリインターフェース側のテスト端子/TESSTに配線11aで接続されたテスト制御端子10aが形成されている。カード基板1には前記コントローラチップ5のモモリインターフェース側の我りの全ての外部端子5Pjに位置をずらして重ねた状態で前記カード基板1に実装している。これにより、夫々の不揮発性メモリチップ5に並列的に接続している。このとき、前記2個の不揮発性メモリチップ4を夫々の外部端子4Pkが露出するよう位位置をずらして重ねた状態で前記カード基板1に実装している。これにより、夫々の不揮発性メモリチップ5を重ねずに接続する場合に比べて、コントローラチップ5との距離が短くなり、ボンディングワイヤ8b, 8cの引き回し長さが短くなる。したがって、ボンディングワイヤの不所望な接触や断線の虞を低減することができます。複数個の不揮発性メモリチップを積層するときのずらし量は、上層チップのボンディング用外部端子の下には一つ下層のチップが存在できる範囲で決めればよい。ボンディング用外部端子の下に下層のチップが存在しないないと、ボンディング時機械的な力によるチップ損傷があるからである。

【0097】前記コントローラチップ5は全体として熱硬化性樹脂55でモールドされている。このとき、熱硬化性樹脂55によるモールド領域にはスルーホール40を含まないようになつていて、モールド樹脂55がスルーホール40を介してカード基板1の裏側に漏れて、モールド不良を生ずるような隙を排除することができる。

フェース側端子を高インピーダンス状態に制御する制御信号/T E S T を前記コントローラチップ5に供給する。その上からテス端子10aを有するから、テスト端子10b～10dを用いてメモリチップ4を单独テストすることができる。

【01098】 テスト端子10b、10c、10dが前記カード基板1に形成されているから、コントローラチップ5が滑電遮断等によってメモリコントロール動作不可能にされたとき、外部からテスト端子10b、10c、10dを介し前記不揮発性メモリチップ4を直接アクセス制御することができる。これにより、コントローラチップ5が破壊されても、これを容易に回復することができるのである。

【01099】 《ハンドリング性向上》図1乃至図6で説明したマルチメディアカード端子のメモリカードは、1.4mmのように比較的薄く、また、2.4mm×3.2mmのように比較的小さい。そのようなメモリカードMC1～MC6の保管及び取り扱い性能を向上させるために、図1.8、図1.9に示されるようにメモリカードMC1～MC6のケーシング1.2に裏面に裏面にメモリカード4.0の周囲は、座ぐられていでケーシング1.2の外縁に連通されている。図1.8の例では座ぐり部分4.1はメモリカードの顔別などの情報を表示するための段差部(キャビティ領域)が流用されている。図1.9では特別に座ぐり部分4.1を形成してある。図1.9において4.2で示される部分はメモリカードの種別などの情報を表示するための領域である。貫通孔4.0の周囲を補強するために所附ナットメのような中空部材を挿入してもらよい。

【01100】 図2.0に示されるように開閉可能なリソース4.3に貫通孔4.0を通して、メモリカードMC1(MC2～MC6)の保管及び持ち運びが容易になる。また、リソース4.3に通した状態を出荷形態としてもよい。

【01101】 図2.1に示されるように、貫通孔4.0にストラップ4.4を通して、メモリカードMC1(MC2～MC6)をP Cカードアダプタ4.5に装着する場合を想定する。同図(A)、(B)、(C)の順に装着者が進むと、前記貫通孔4.0を介してシールが貼付かれている。シールには記憶容量などが印刷されており。前記貫通孔4.0の形成とシール貼り付けは別工程で行われるから、相互の孔の位置合わせなどをを行わなくして済む。

【01106】 《メモリカードの破損防止》図2.6にはメモリカードMC1(MC2～MC6)の端子面の状態が、(A)平面図、(B)正面図、(C)側面図によつて示される。メモリカードMC1(MC2～MC6)に、メモリカード挿入方向先端縁部6.0からケーシング1.2の端子面6.1に至る斜面又は円弧で形成された案内部6.2を形成する。この案内部6.2の斜面(所謂C加工面)又は円弧(R加工面)はその他の端縁部に形成された斜面及び円弧よりも大きくなっている。

【01107】 メモリカードMC1(MC2～MC6)をカードソケットに挿入すると、先ず、メモリカードMC1(MC2～MC6)の外縁に通じる前記座部4.1がストラップ4.4の接続リンク部分の逃げになり、ストラップ4.4がメモリカードMC1(MC2～MC6)の装着を妨げる事はない。

【01102】 また前記貫通孔4.0には、図2.3に示されるように中空ペシット5.0を用いてコネクタ端子2の保護カバー5.1を根支(回動可能に軸支)してもよい。

【01108】 前記案内部6.2はカード基板1(1A～1

E)に形成するには難しく、ケーシング1.2に形成するのが容易である。したがって、端子面6.1においてカード基板1(1A～1E)の周囲にはある程度の幅を持つケーシングの肉厚が要つなければならない。このとき、図2.6に示されるようにカード基板の方向性を示すための斜め切取り部分6.3が存在すると、前記肉厚部分を確保するのが難しい場合も想定される。その場合には、図2.7に示されるように、斜め切取り部分6.3を2辺切り取り部分6.4として成形すれば、ケーシング1.2のその部分の肉厚を確保し易くなる。

【01109】 《情報表示》メモリカードMC1(MC2～MC6)では記憶容量等のようにその属性情報を表示される。そのような情報表示は図2.8に示されるようにケーシング1.2へのシール6.6の貼り付けで行ってよい。部品点数削減等を考慮する場合は、図2.9に示されるように、所要の文字情報6.7をケーシング1.2の表面に予め印刷しておけばよい。特に図示はしないが、印刷に代えて文字情報6.7をケーシング1.2の表面に予め凹凸形成してもよい。前記印刷又は凹凸形成はメモリカードの組立に於けるのが良い。半導体チップにモリカット、データラッ奇回路及びセンスラッ奇回路を有する。メモリマット1.03は電気的に消及び書き込み可能な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタは、例えば図3.6に示されるように、半導体基板上にはメモリウェルS U Bに形成されたソースS及びドレインDと、チャンネル領域にトンネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートFGを有して重ねられたコントロールゲートCGを有して構成される。コントロールゲートCGはワード線1.06に、ドレインDはビット線1.05に、ソースSは表示を省略するソース線に接続される。

【01110】 外部出入力端子1/00～1/07は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に概用される。外部出入力端子1/00～1/07から入力されたXアドレス信号はマルチプレクサ1.07を介してXアドレスバッファ1.08に供給される。Xアドレスバッファ1.09はXアドレス信号を1.08から出力される内部接続アドレス信号をコードしてワード線を駆動する。

【01111】 前記ビット線1.05の一端側には、図示を省略するセンスラッ奇回路が設けられ、他端には同じく図示を省略するデータラッ奇回路が設けられている。ビット線1.05はYアドレスデータレコード1.1から出力されると、これによつてライトアレイ回路1.13で選択される。外部出入力端子1/00～1/07から入力された選択信号に基づいてYデータレコード1.13で選択される。外部出入力端子1/00～1/07から入力されたアドレス信号はYアドレスカウンタ1.12にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデータレコード1.1に与えられる。

を抑えるようにしてもらよい。

【01114】 図3.3は爪方式によるライトプロテクト解除状態(帯換え可能な状態)を示し、図3.4は爪方式によるライトプロテクト状態を示す。各図において(A)は平面図、(B)は(A)のA-A矢印断面図である。爪方式ではケーシング1.2の1辺に裏面に貫通する一对の割端部7.3A、7.3Bを離端形成し、割端部7.3A、7.3Bの間にケーシング1.2の裏面に爪7.3Bを形成され、これにより、折り曲げ可能な爪7.3を形成して爪7.3が折られない状態では、カードソケット側の図示を省略するレバーが爪7.3に阻まれて動かず、これによつてライトプロテクト解除状態が検出される。

【01115】 《ラッシュメモリチップ》ここで、前記ラッシュメモリチップ4について説明しておく。図3.5にはラッシュメモリチップ4の一例が示される。図3.5において、1.03で示されるものはメモリアレイであり、メモリマット、データラッ奇回路及びセンスラッ奇回路を有する。メモリマット1.03は電気的に消及び書き込み可能な不揮発性のメモリセルトランジスタを多數有する。メモリセルトランジスタは、例えば図3.6に示されるように、半導体基板上にはメモリウェルS U Bに形成されたソースS及びドレインDと、チャンネル領域にトンネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートFGを有して重ねられたコントロールゲートCGを有して構成される。コントロールゲートCGはワード線1.06に、ドレインDはビット線1.05に、ソースSは表示を省略するソース線に接続される。

【01116】 外部出入力端子1/00～1/07は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に概用される。外部出入力端子1/00～1/07から入力されたXアドレス信号はマルチプレクサ1.07を介してXアドレスバッファ1.08に供給される。Xアドレスバッファ1.09はXアドレス信号を1.08から出力される内部接続アドレス信号をコードしてワード線を駆動する。

【01117】 前記ビット線1.05の一端側には、図示を省略するセンスラッ奇回路が設けられ、他端には同じく図示を省略するデータラッ奇回路が設けられている。ビット線1.05はYアドレスデータレコード1.1から出力されると、これによつてライトアレイ回路1.13で選択される。外部出入力端子1/00～1/07から入力されたアドレス信号に基づいてYデータレコード1.13で選択される。外部出入力端子1/00～1/07から入力されたアドレス信号はYアドレスカウンタ1.12にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデータレコード1.1に与えられる。

【01118】 シール7.1の段差の増加を防止するには、ソケット端子に曲がりを生ずる度もない。

【01119】 図示は明示されていないが、その領域だけキャビティ化、即ち薄く凹状にして、ケーシングの全般的な厚さ

【0118】Yゲートアレイ回路113で選択されたビット線は、データ出力動作時には出力バッファ115の入力端子に導通され、データ入力動作時にはデータ制御回路116を介して入力バッファ115、入力バッファ117と通される。出力バッファ115、入力バッファ117と前記入出力端子1/O0～1/O7との接続は前記マルチプレクサ107で制御される。入出力端子1/O0～1/O7から供給されるコマンドはマルチプレクサ107及び入力バッファ117を介してモード制御回路1.1～8に与えられる。前記データ制御回路1.1～6は、入出力端子1/O0～1/O7から供給されるデータの他に、モード制御回路1.1～8の制御に従った論理値のデータをモード制御回路1.1～3に供給可能にする。

【0119】制御信号バッファ回路119には、アクセス制御信号として前記チップインターフェース/C.E.、アクセス制御信号として前記チップインターフェース/O.E.、ライトインペーブル信号/S.WE.、データラッチタイミングを指示する信号/S.C.、リセット信号/R.E.S及びコマンド・データイネーブル信号/C.D.Eが供給される。モード制御回路1.1～8は、それら信号の状態に応じて外部との信号インターフェース機能などを制御し、また、コマンドコードに従つて内部動作を制御する。入出力端子1/O0～1/O7に対するコマンド又はデータ入力の場合、前記信号/C.D.Eがアサートされ、コマンドであれば更に位番号/W.Eがアサート、データであれば信号/W.Eがネグートされる。アドレス入力があれば、前記信号/C.D.Eがネグートされ、信号/W.Eがアサートされる。これにより、モード制御回路1.1～8は、外部出入力端子1/O0～1/O7からマルチプレクス入力されるコマンド、データ及びアドレスを区別できる。モード制御回路1.1～8は、消去や翻込み動作中にレディー・ビジー信号/R.Bをアサートしてその状態を外部に知らせることができる。

【0120】内部電源回路1.2～0は、蓄込み、消去、ペリファイ、読み出しなどのための各種動作電源1.21を生成して、前記Xアドレスデコーダ1.09やメモリセルアレイ1.03に供給する。

【0121】前記モード制御回路1.1～8は、コマンドに従つてフランシュメモリチップ4を全体的に制御する。フランシュメモリチップ4の動作は、基本的にコマンドによって決定される。フランシュメモリに割り当られているコマンドは、読み出し、消去、蓄込み、等のコマンドとされる。

【0122】フランシュメモリチップ4はその内部状態を示すためにステータスレジスタ1.2を有し、その内容は、信号/O.Eをアサートすることによって出入力端子1/O0～1/O7から読み出すことができる。

【0123】以上本発明者によつてなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

面と実装面を示す説明図である。

【図6】マルチメディアカード構成メモリカードの端子面と実装面の状態を示す説明図である。

【図7】図5のオールマイティーカードに対応されたカードソケットに当該メモリカードを接続した状態を示す説明図である。

【図8】図1のマルチメディアカード構成メモリカードに对应されたカードソケットに前記オールマイティーメモリカードを接続した状態を示す説明図である。

【図9】マルチメディアカード構成メモリカードに対応されたカードソケットに前記オールマイティーメモリカードを接続した状態を示す説明図である。

【図10】図1のカードソケットを有するデータ処理システムの断面構造である。

【図11】電源間ショートを生ずるコネクタ端子配列を示す説明図である。

【図12】コネクタ端子の面取り部分によつて電源間ショート防止を講ずる例を示す説明図である。

【図13】ソケット端子の長さ寸法などによつて電源間ショート防止を講ずる例を示す説明図である。

【図14】カード基板上で配線引き回しが増大する比較例として示す説明図である。

【図15】カード基板上に斜線を示す説明図である。

【図16】図15の斜線部分を示す説明図である。

【図17】図16のマルチメディアカード構成メモリカードのテスト端子等の接続状態を示す平面図である。

【図18】モリカードに貫通孔を形成した第1の例を示す斜視図である。

【図19】モリカードに貫通孔を形成した第2の例を示す斜視図である。

【図20】モリカードに形成した貫通孔の第1の利用形態を示す斜視図である。

【図21】モリカードに形成した貫通孔の第2の利用形態を示す斜視図である。

【図22】図21のモリカードをPCカードアダプタに接続する操作を示す説明図である。

【図23】モリカードに保護カバーを設けた例を示す斜視図である。

【図24】保護カバーを設けたモリカードの保管部様子を示す斜視図である。

【図25】図23のモリカードをPCカードアダプタに接続する操作を示す説明図である。

【図26】モリカードのケーシングに案内部を設けた第1の例を示す説明図である。

【図27】モリカードのケーシングに案内部を設けた第2の例を示す説明図である。

【図28】メモリカードの属性情報をシールを貼つて表示するメモリカードの例を示す分解説明図である。

【図29】メモリカードの属性情報をケーシングへの印刷で表示するメモリカードの例を示す分解説明図である。

【図30】メモリカードの挿入方向を示す支持部品をケーシングに凹陥形成で接続するメモリカードの例を示す斜視図である。

【図31】シール方式によるライトイクト解説状態を示す説明図である。

【図32】シール方式によるライトイクト解説状態を示す説明図である。

【図33】爪方式によるライトイクト解説状態を示す説明図である。

【図34】爪方式によるライトイクト解説状態を示す斜視図である。

【図35】ラッシュメモリチップの構成を示す明細図である。

【図36】ラッシュメモリチップ用の不揮発性メモリセルランジスタの構造を概略的に示す断面図である。

【図37】カーボンコートを有するコネクタ端子を示す明細図である。

【図38】カーボンコートを有するライトイクト解説状態を示す斜視図である。

【図39】カーボンコートを有するライトイクト解説状態を示す斜視図である。

【図40】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図41】電源間ショートを示す説明図である。

【図42】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図43】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図44】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図45】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図46】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図47】カーボンコートを有するデータ処理シス

テムの断面構造である。

【図48】メモリカードの属性情報をシールを貼つて表

示するメモリカードの例を示す分解説明図である。

【図49】メモリカードの属性情報をケーシングへの印

刷で表示するメモリカードの例を示す分解説明図である。

【図50】メモリカードの挿入方向を示す支持部品をケ

ーシングに凹陥形成で接続するメモリカードの例を示す斜視図である。

【図51】シール方式によるライトイクト解説状態を示す説明図である。

【図52】シール方式によるライトイクト解説状態を示す説明図である。

【図53】爪方式によるライトイクト解説状態を示す説明図である。

【図54】爪方式によるライトイクト解説状態を示す斜視図である。

【図55】爪方式によるライトイクト解説状態を示す斜視図である。

【図56】爪方式によるライトイクト解説状態を示す斜視図である。

【図57】爪方式によるライトイクト解説状態を示す斜視図である。

【図58】爪方式によるライトイクト解説状態を示す斜視図である。

【図59】爪方式によるライトイクト解説状態を示す斜視図である。

【図60】爪方式によるライトイクト解説状態を示す斜視図である。

【図61】爪方式によるライトイクト解説状態を示す斜視図である。

【図62】爪方式によるライトイクト解説状態を示す斜視図である。

【図63】爪方式によるライトイクト解説状態を示す斜視図である。

【図64】爪方式によるライトイクト解説状態を示す斜視図である。

【図65】爪方式によるライトイクト解説状態を示す斜視図である。

【図66】爪方式によるライトイクト解説状態を示す斜視図である。

【図67】爪方式によるライトイクト解説状態を示す斜視図である。

【図68】爪方式によるライトイクト解説状態を示す斜視図である。

【図69】爪方式によるライトイクト解説状態を示す斜視図である。

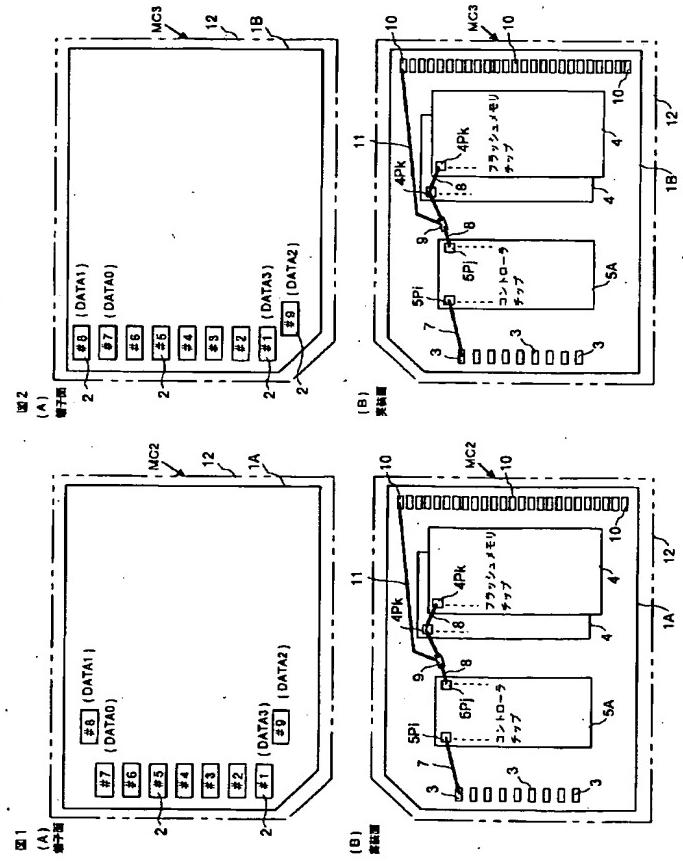
【図70】爪方式によるライトイクト解説状態を示す斜視図である。

【図71】爪方式によるライトイクト解説状態を示す斜視図である。

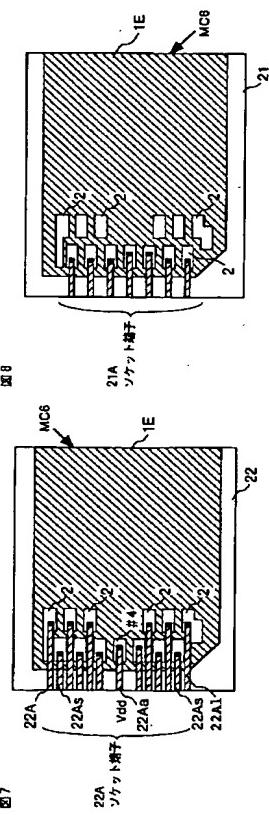
【図72】爪方式によるライトイクト解説状態を示す斜視図である。

【図73】爪方式によるライトイクト解説状態を示す斜視図である。

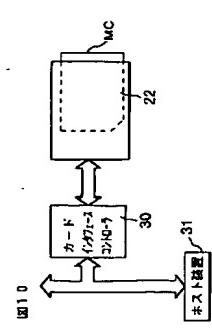
[図2]



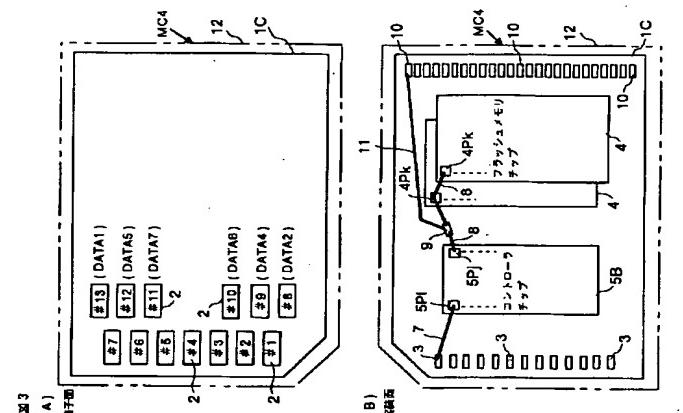
【図8】



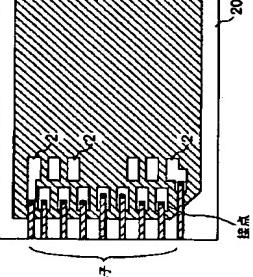
101



31

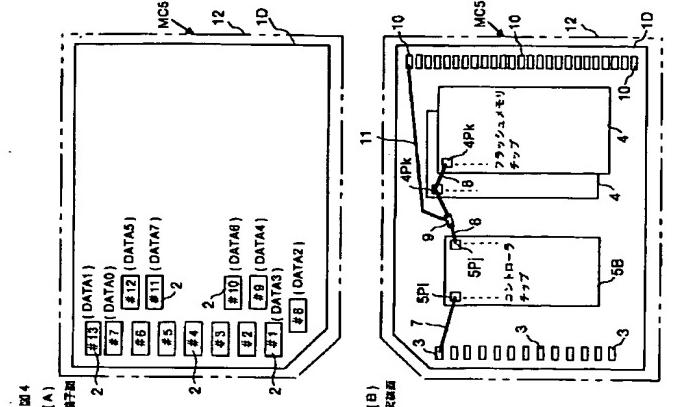


19

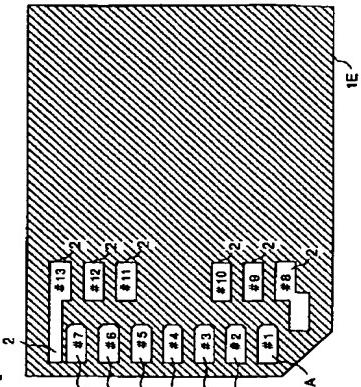


[図13]

四

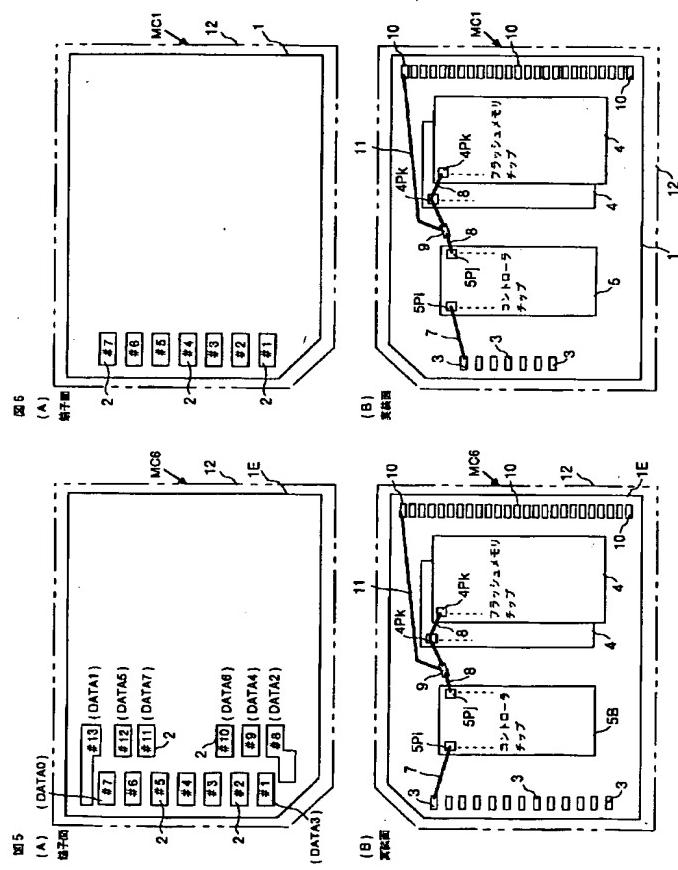


[12]

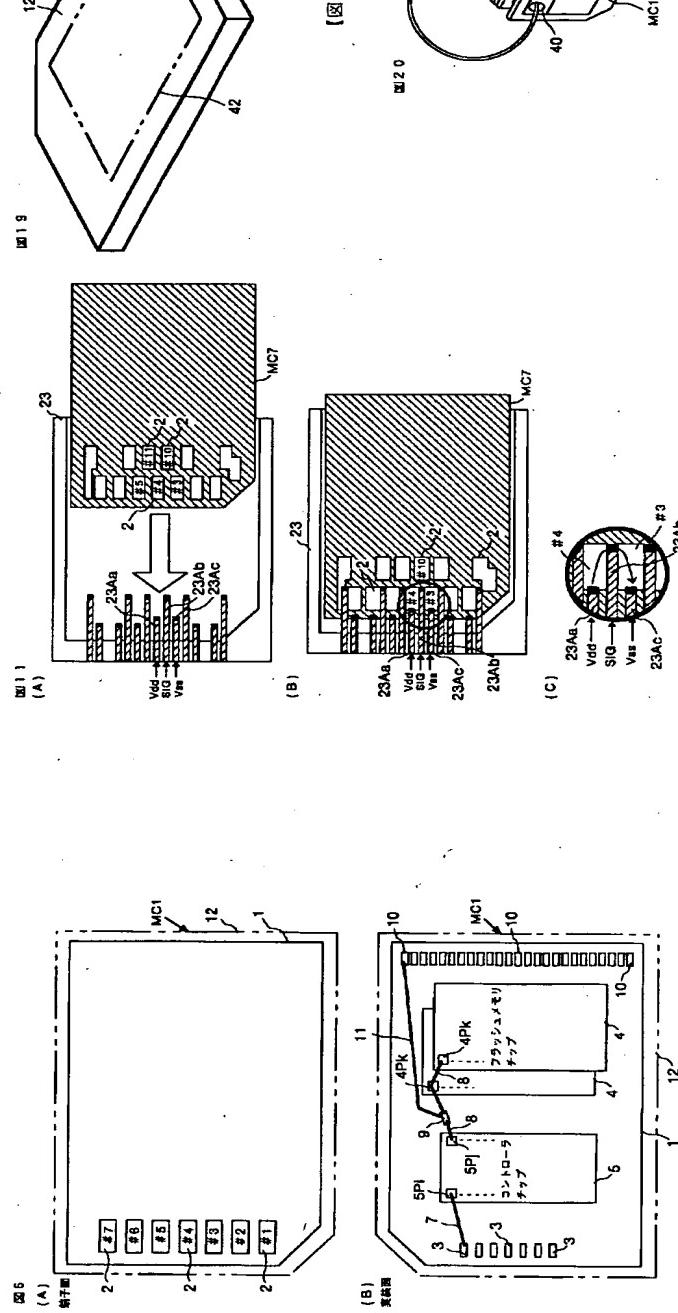


四一〇

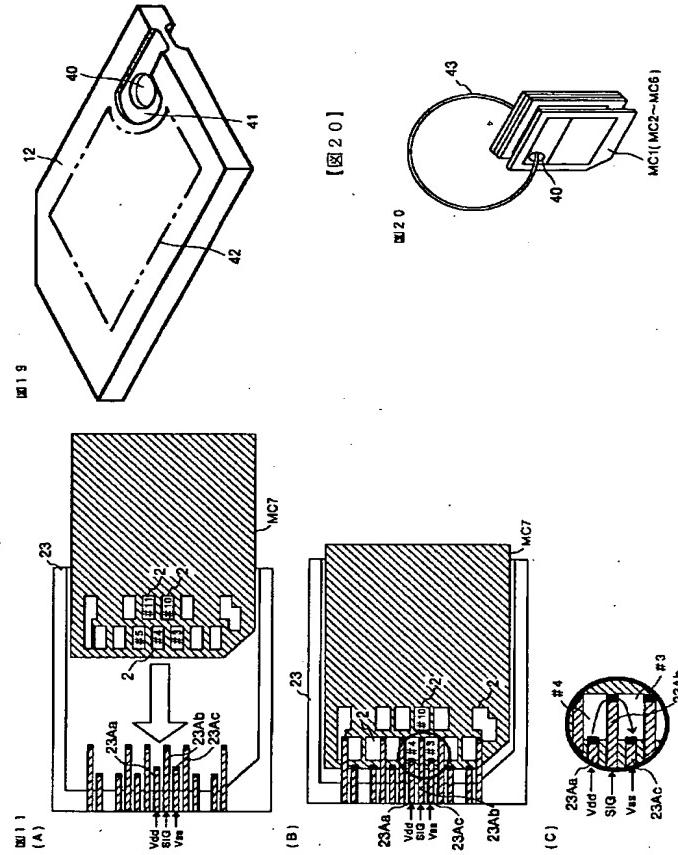
51



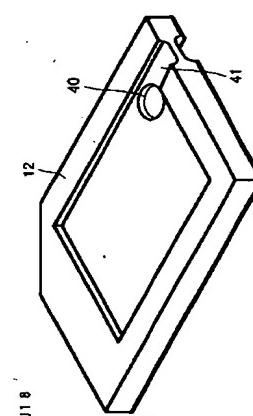
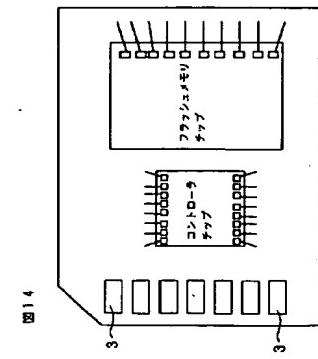
四六一



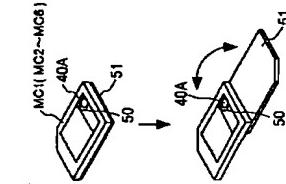
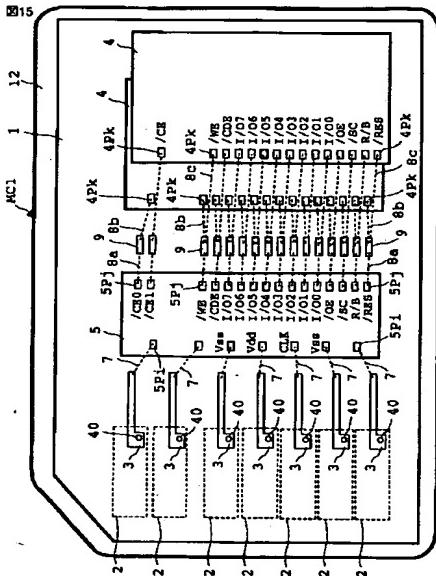
[四] 191



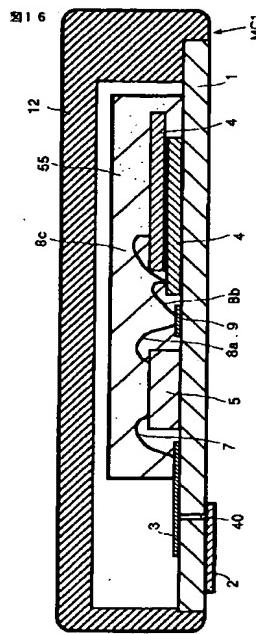
[図14]



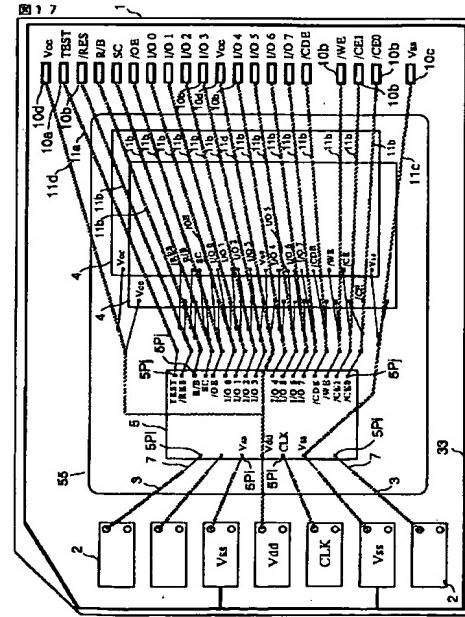
1



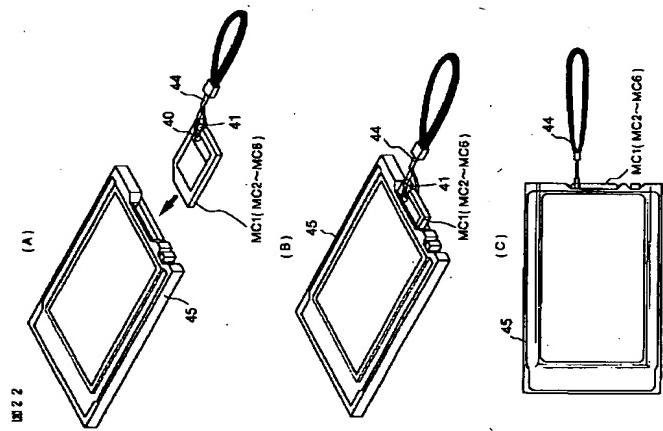
【図16】



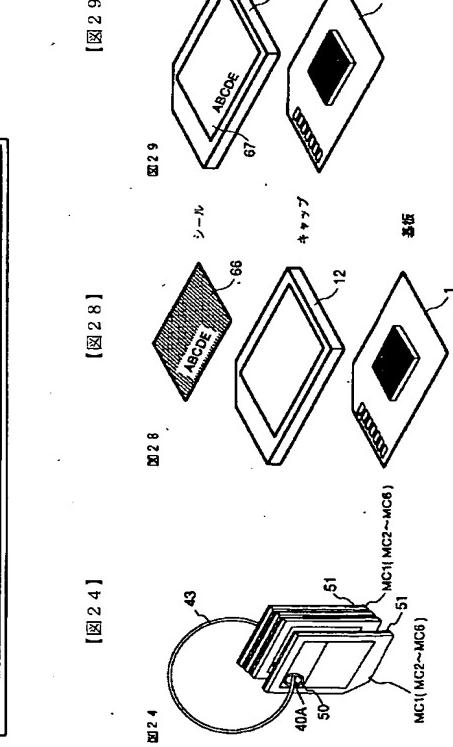
【図17】



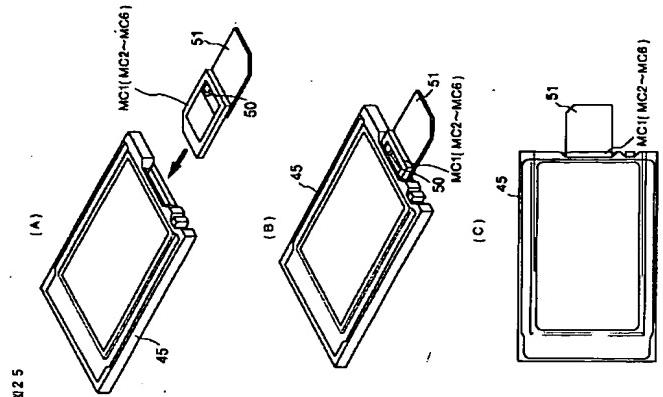
【図22】



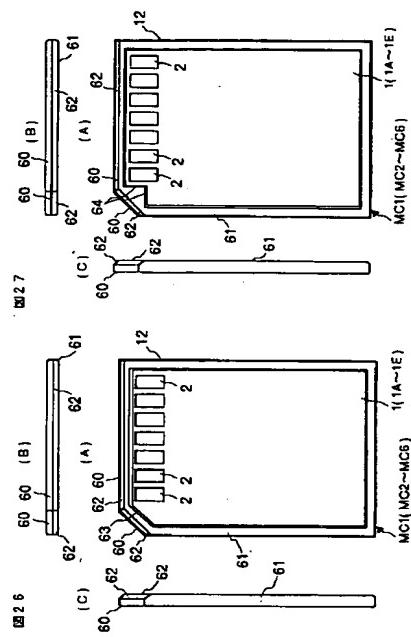
【図23】



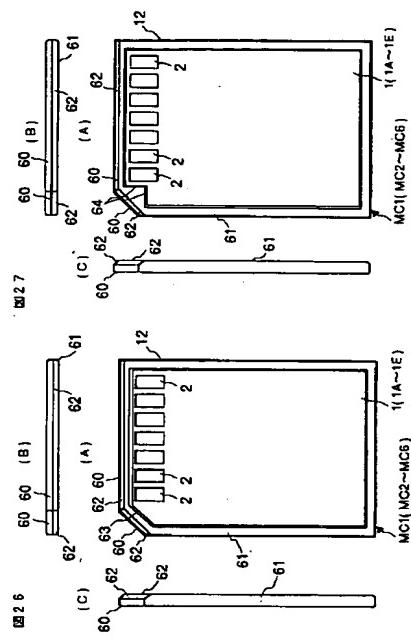
【図25】

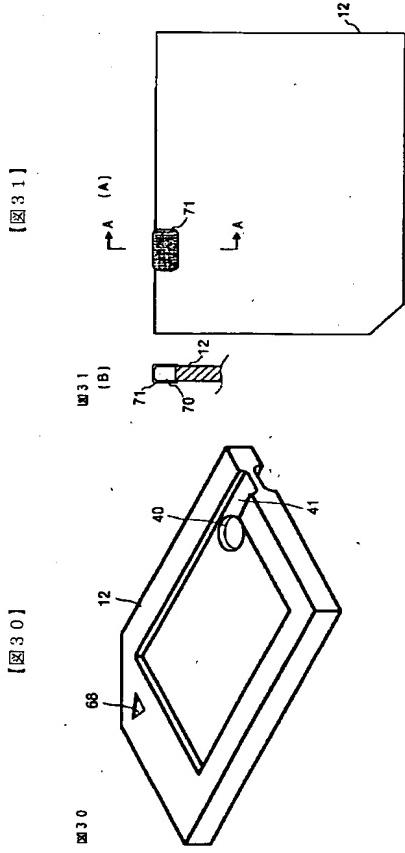


【図26】



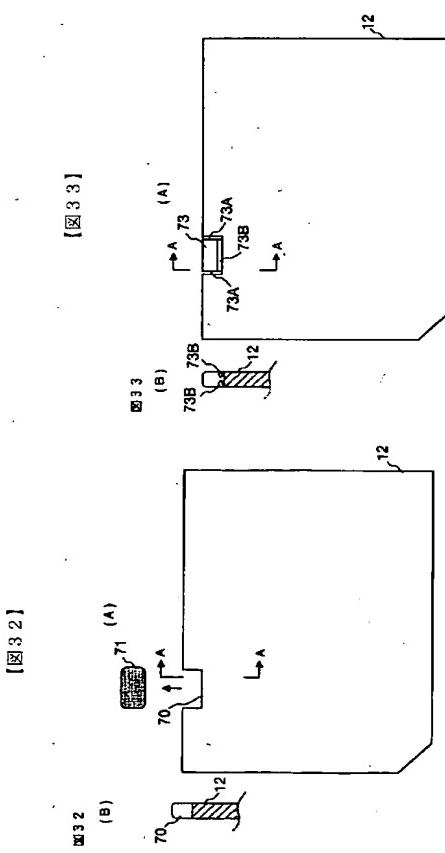
【図27】



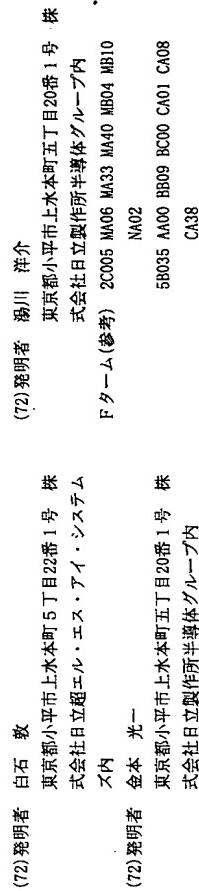
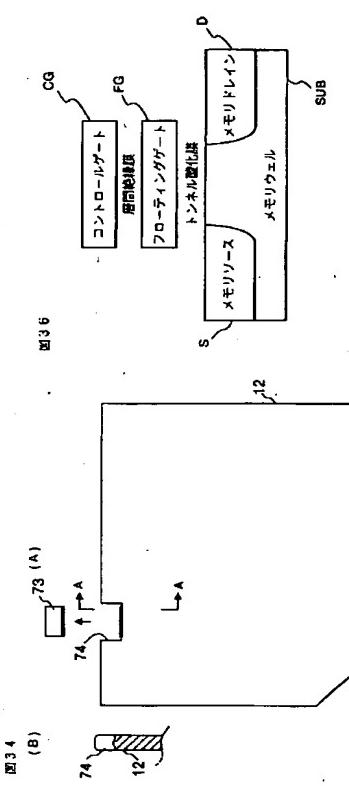


[図30]

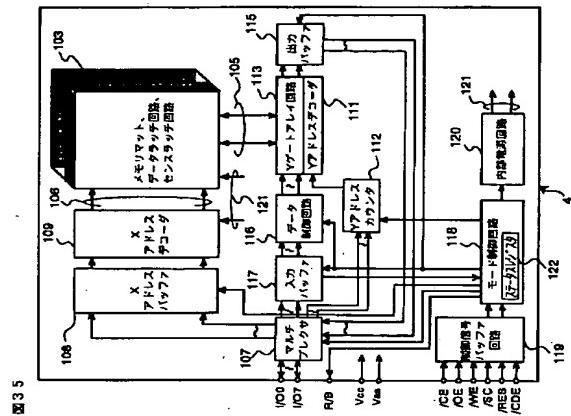
图3-1



[図32]



(72)



[図35]

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門 第3区分

【発行日】平成17年2月17日(2005.2.17)

【公開番号】特開2001-209773(P2001-209773A)

【公開日】平成13年8月3日(2001.8.3)

【出願番号】特願2000-18030(P2000-18030)

【国際特許分類第7版】

G06K 19/077

B42D 15/10

G06K 19/073

[F 1]

G06K 19/00 L

B42D 15/10 521

G06K 19/00 P

G06K 19/00 K

【請求項4】前記第1の端子列は電源電圧供給用のコネクタ端子を有し、前記第2の端子列は、前記電源電圧供給用のコネクタ端子に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドに隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項5】

前記第2の端子列に配置されたコネクタ端子の列方向一端のコネクタ端子は前記第1の端子列に配置されコネクタ端子の列方向一端のコネクタ端子と列方向で隣合う位置まで延在され、前記第2の端子列に配置されたコネクタ端子の列方向他端のコネクタ端子は前記第1の端子列に配置されコネクタ端子の列方向他端のコネクタ端子と列方向で隣合う位置まで延在されて成るものであることを特徴とする請求項2又は3記載のICカード。

【請求項6】

前記コネクタ端子は、4ビット分のデータ用端子を含み、全部で9個設けられて成るものであることを特徴とする請求項5記載のICカード。

【請求項7】

前記コネクタ端子は、8ビット分のデータ用端子を含み、全部で13個設けられて成るものであることを特徴とする請求項5記載のICカード。

【手続補正書】

【提出日】平成16年3月8日(2004.3.8)

【手続補正1】

【補正対象箇名】明細書

【補正項目名】特許請求の範囲

【請求項1】

半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングから露出するICカードであって、前記コネクタ端子は第1および第2の端子列が、1Cカード挿入方向の前後に隣合う形でかつ列相互間で前記端子列にずらされて千鳥状に配置されて成り、

前記第1の端子列は電源電圧供給用のコネクタ端子を有し、

前記第2の端子列は、前記電源電圧供給用のコネクタ端子に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドにある端子間領域に隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項2】

半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングから露出するICカードであって、前記コネクタ端子は1Cカード挿入方向の前後に形成された第1および第2の端子列を有し、第1の端子列に配置されたコネクタ端子の端子間領域の配列と第2の端子列に配置されたコネクタ端子の端子間領域の配列とが列方向で相互にすらされて成り、

前記第1の端子列は電源電圧供給用のコネクタ端子を有し、前記第2の端子列は、前記電源電圧供給用のコネクタ端子の両サイドにある端子間領域に隣接する部分と、前記電源電圧供給用のコネクタ端子の両サイドに隣接する部分に、端子間領域を有することを特徴とするICカード。

【請求項3】

半導体集積回路チップが実装され複数個のコネクタ端子が形成されたカード基板を有し、前記コネクタ端子をケーシングから露出するICカードであって、前記コネクタ端子は1Cカード挿入方向の前後に形成された第1および第2の端子列を有し、第1の端子列に配置されたコネクタ端子の列方向配列と第2の端子列に配置されたコネ

W2182 EM



US06945465B2

**United States Patent**  
Nishizawa et al.

(10) Patent No.: US 6,945,465 B2  
(45) Date of Patent: Sep. 20, 2005

U.S. Patent Sep. 20, 2005 Sheet 1 of 27 US 6,945,465 B2

(54) INTEGRATED CIRCUIT CARD HAVING  
STAGGERED SEQUENCES OF CONNECTOR  
TERMINALS

(75) Inventors: Hirokazu Nishizawa, Fuchu (JP);  
Haruji Ishihara, Kawaguchi (JP);  
Koutachi Kinenobu, Koganei (JP);  
Yousuke Yukawa, Kokubunji (JP).

(73) Assignee: Hitachi, Ltd., Tokyo (JP)

(\*) Notice: Subject to any disclaimer, the term of this  
patent is extended or adjusted under 35  
U.S.C. 15(f) by 930 days.

(21) Appl. No.: 09/756,367

(22) Filed: Jan. 10, 2001

Prior Publication Data

US 2001/009505 A1 Jul. 26, 2001

ABSTRACT

An IC card has a card substrate having semiconductor integrated circuit chips mounted thereon and a plurality of connector terminals formed thereon. The connector terminals are exposed from a casing. The connector terminals are laid out in plural sequences in staggered form between sequences adjacent to one another forward and backward as viewed in an IC card inserting direction. Owing to the adoption of the staggered layout, a structure or configuration wherein the amounts of protrusions of socket terminals of a card socket are changed and the socket terminals are laid out in tandem, can be adopted with relative ease. If a connector terminal arrangement of a downward or low-order IC card is adopted as a specific connector terminal sequence as it is, whereas a function dedicated for an upward or high-order IC card is assigned to another staggered connector terminal arrangement, then backward compatibility can also be implemented with ease.

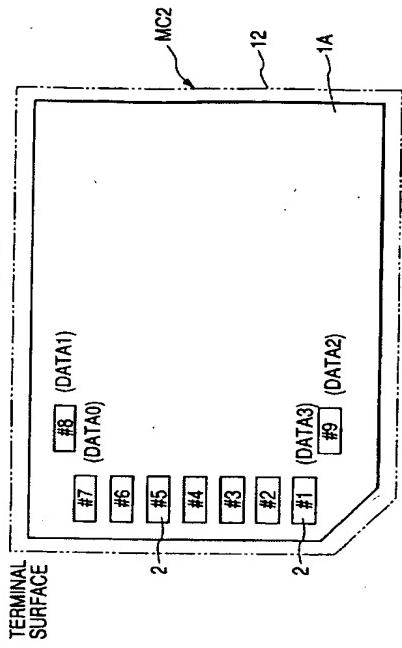
(56) References Cited

U.S. PATENT DOCUMENTS

4,532,419 A • 7/1985 Takeda ..... 235/492  
4,69,914 A • 9/1987 Ohnishi et al. ..... 235/492  
4,78,603 A • 10/1988 Hamada ..... 235/492  
5,285,057 A • 2/1994 Murakami ..... 235/492

8 Claims, 27 Drawing Sheets

**FIG. 1(A)**



**FIG. 1(B)**

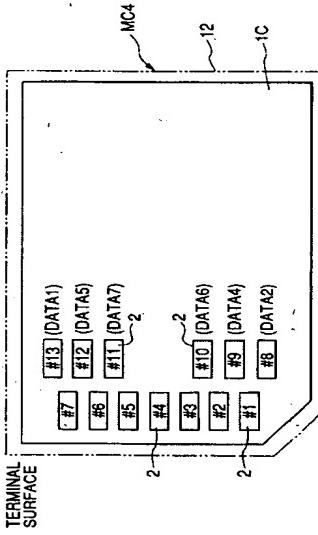
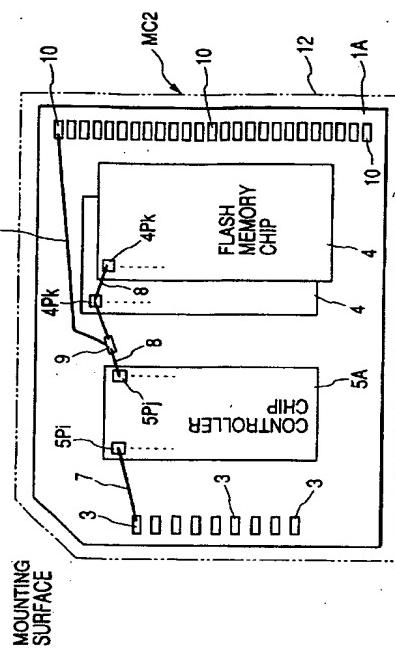


FIG. 2(A)

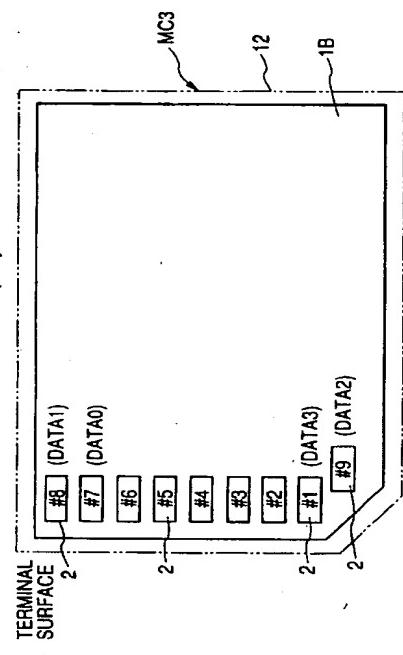


FIG. 3(A)

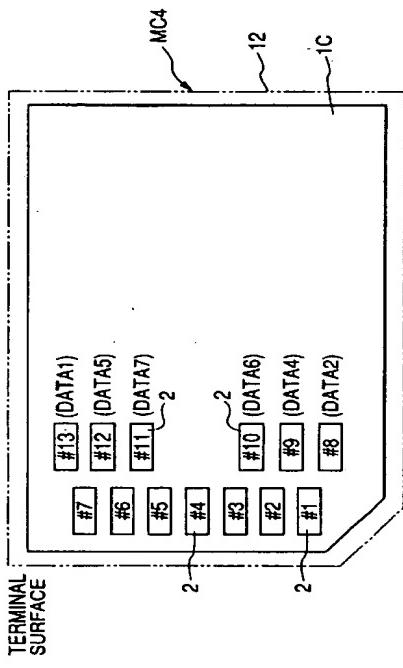


FIG. 2(B)

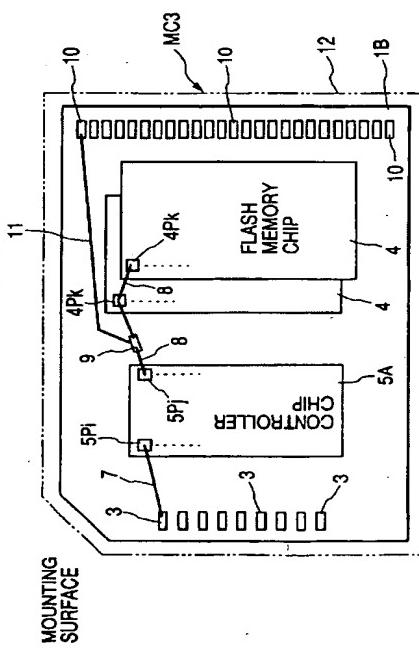


FIG. 3(B)

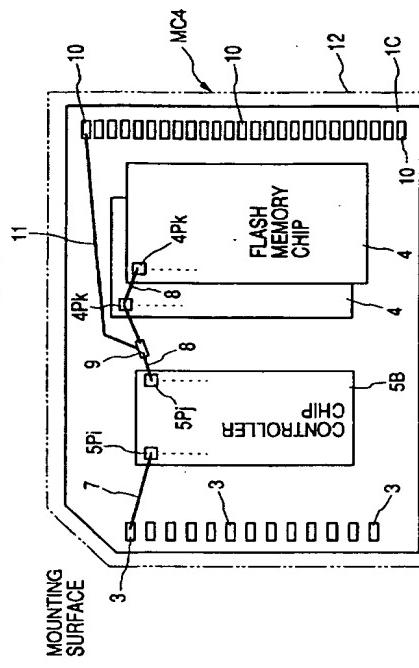


FIG. 4(A)

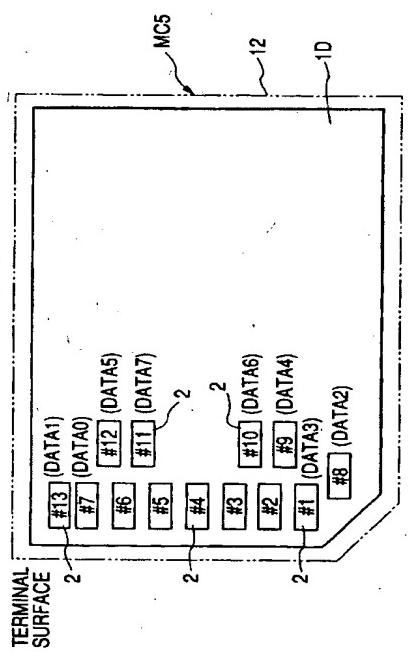


FIG. 5(A)

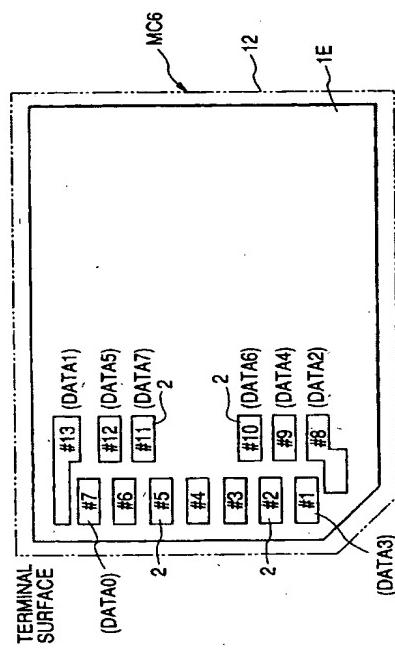


FIG. 4(B)

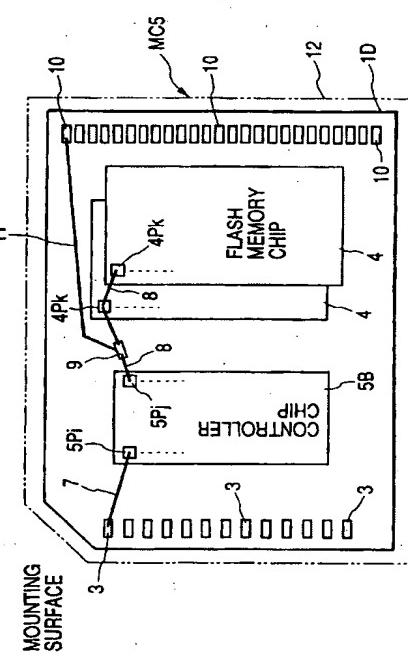


FIG. 5(B)

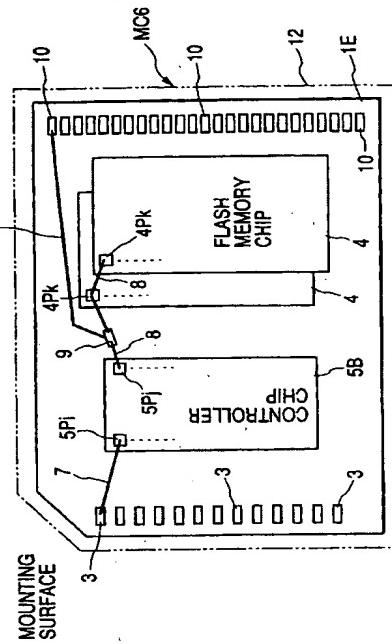


FIG. 6(A)

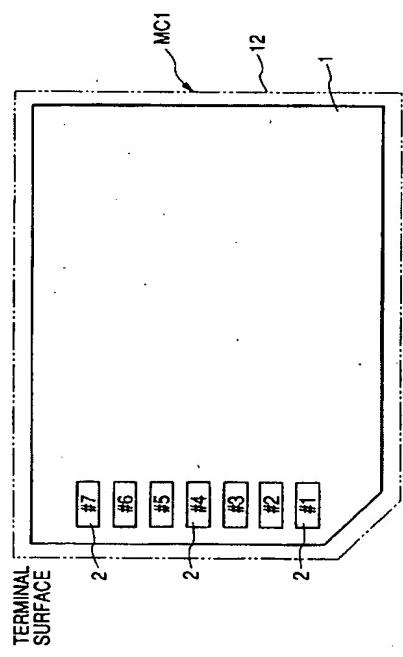


FIG. 7

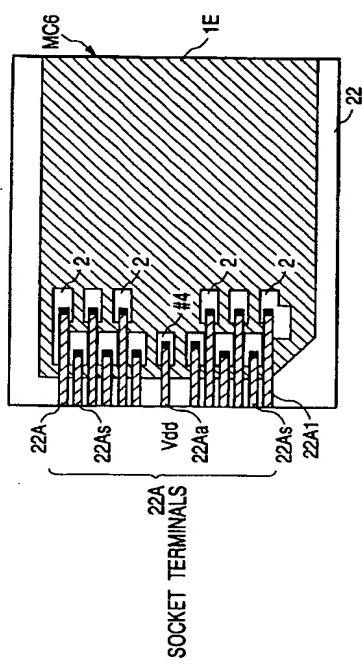


FIG. 6(B)

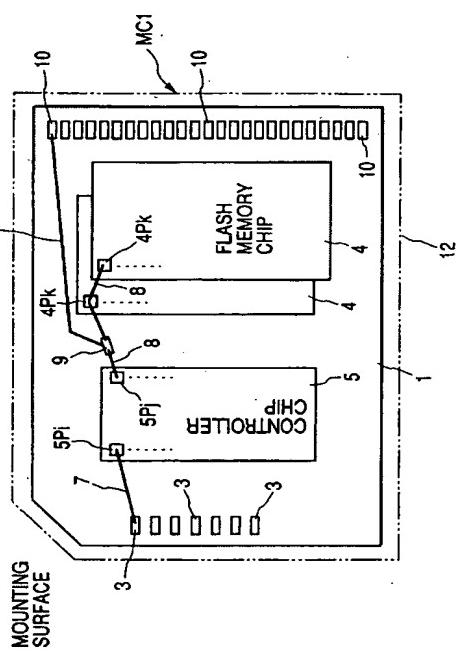


FIG. 8

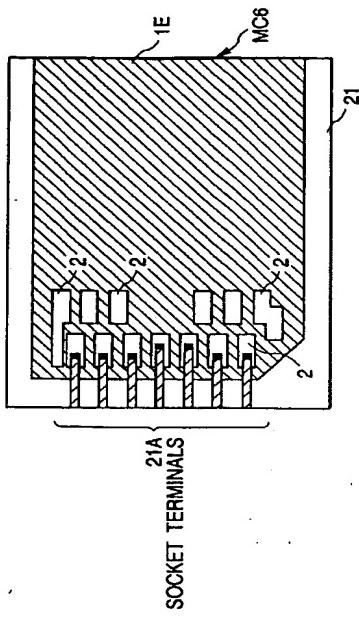


FIG. 9

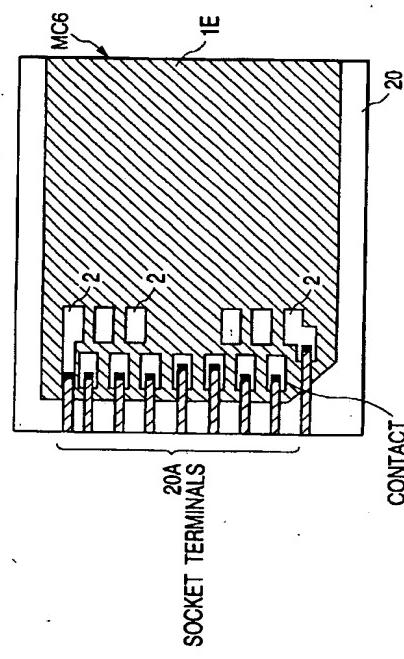


FIG. 11(A)

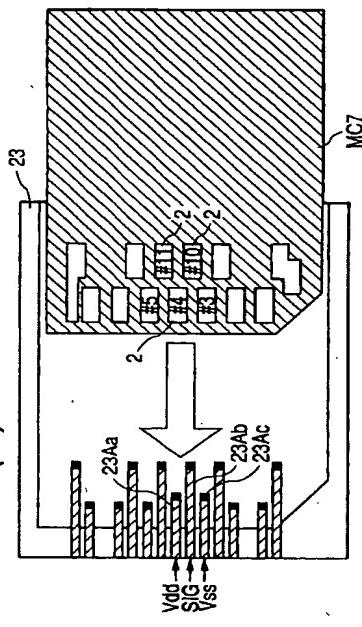


FIG. 11(B)

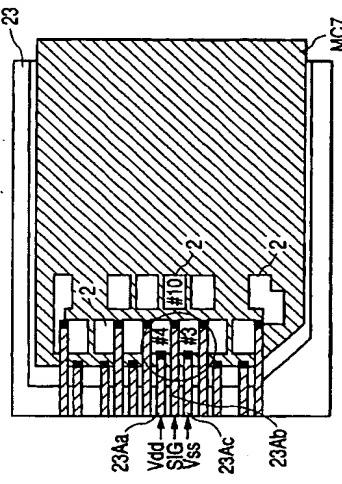


FIG. 11(C)

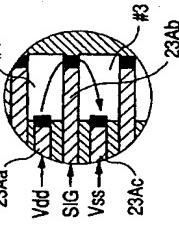


FIG. 10

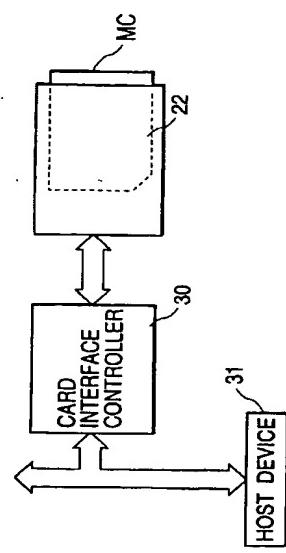


FIG. 12

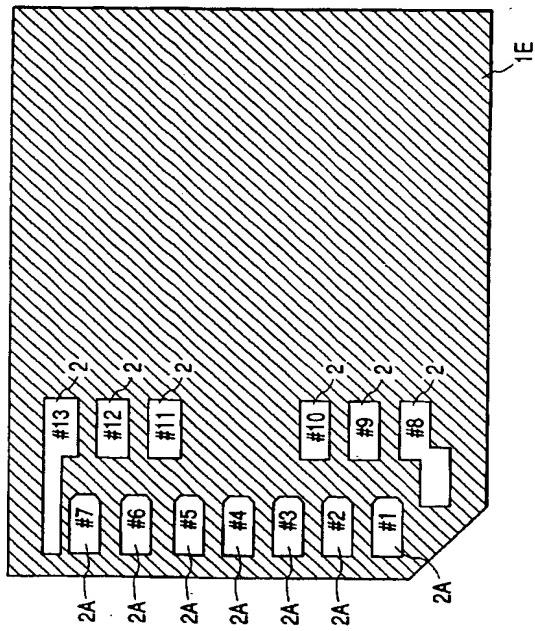


FIG. 14

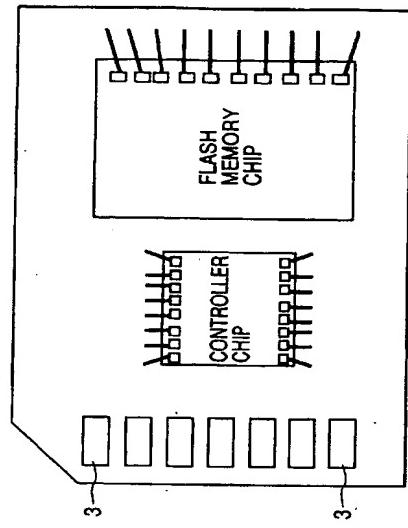
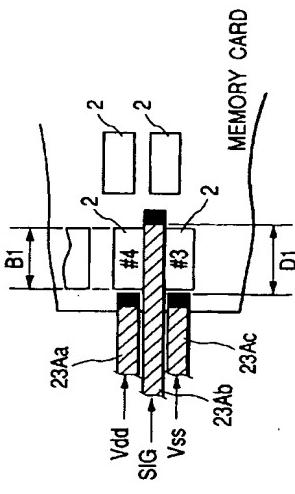


FIG. 13



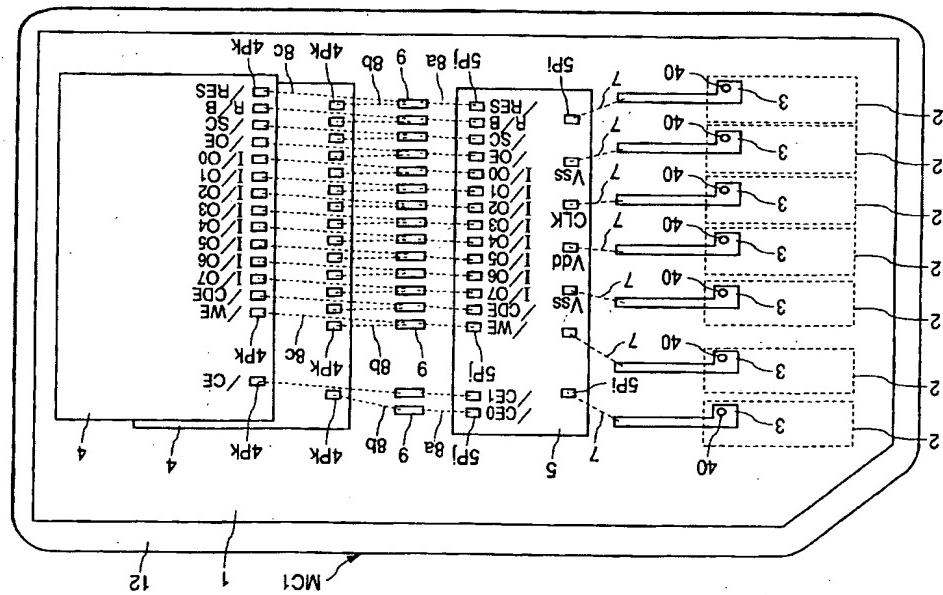


FIG. 15

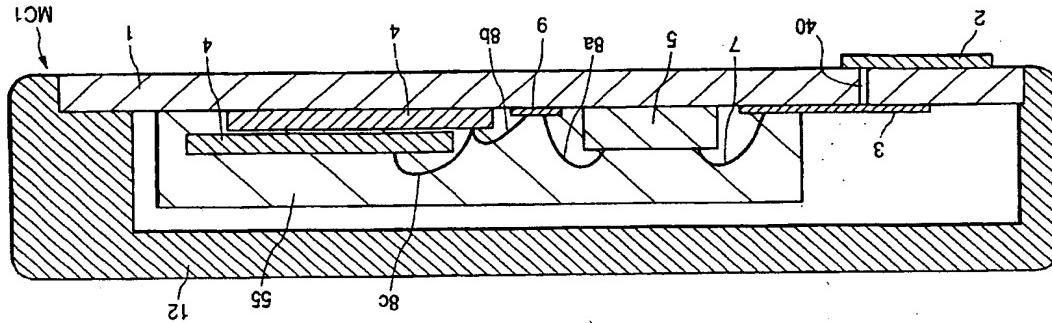


FIG. 16

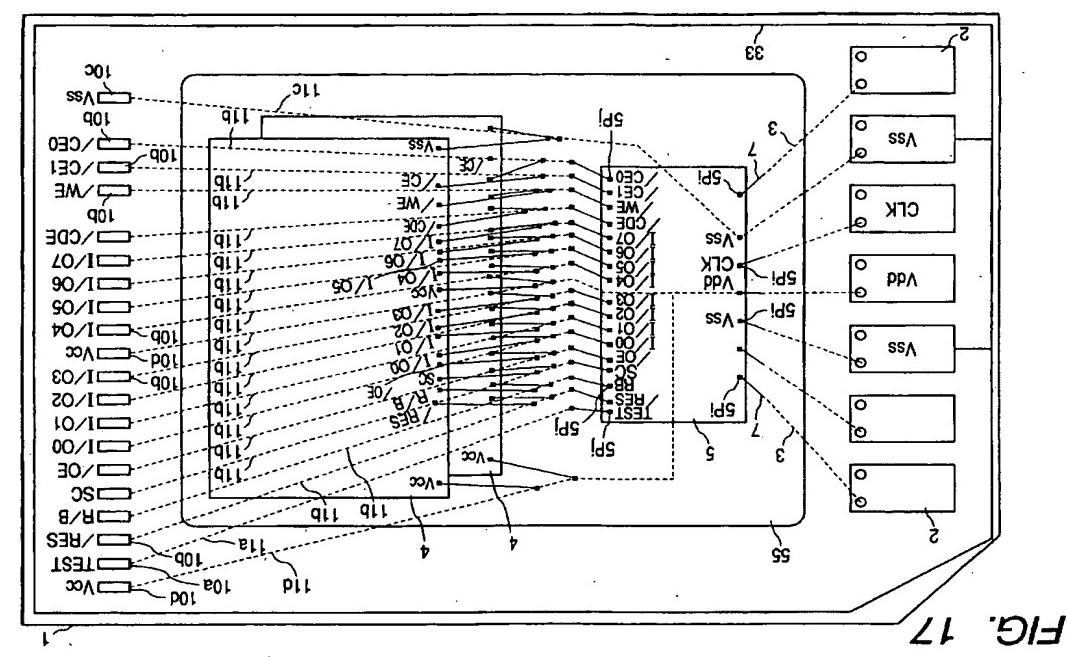


FIG. 17

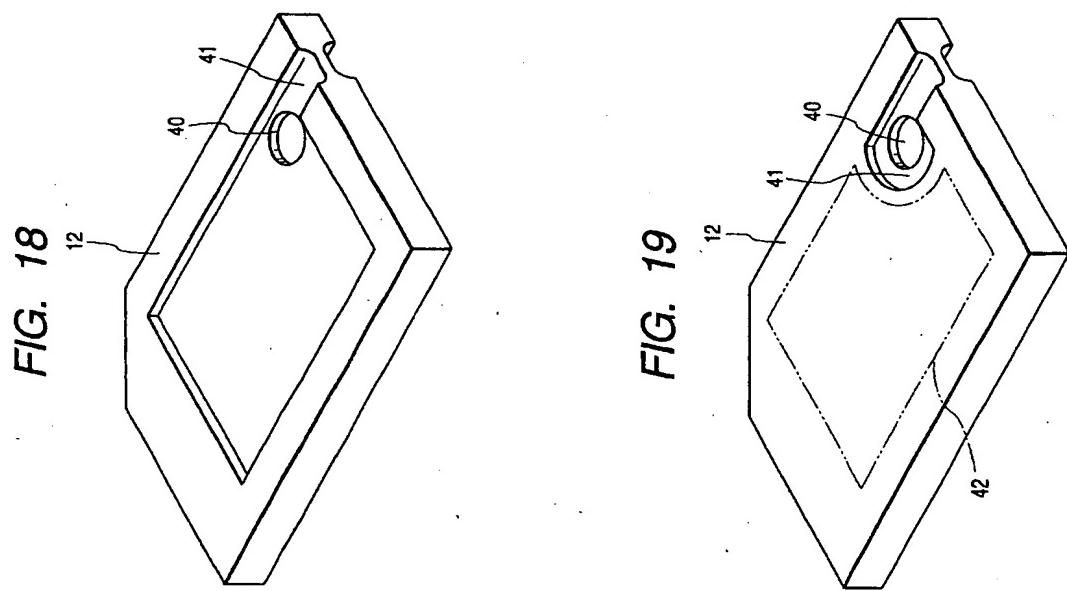


FIG. 19

FIG. 20

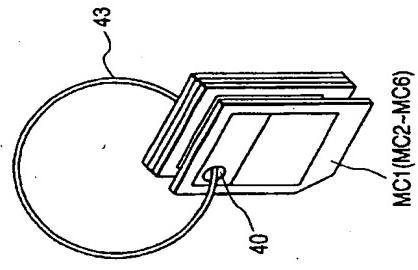


FIG. 22(A)

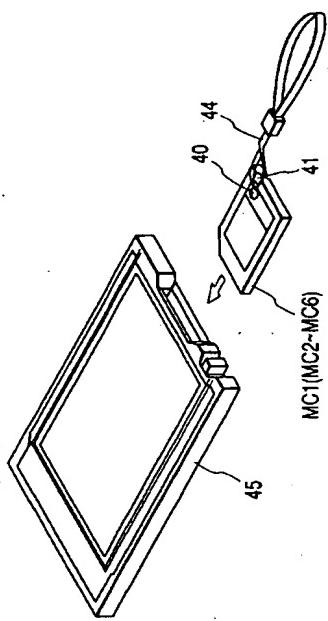


FIG. 22(B)

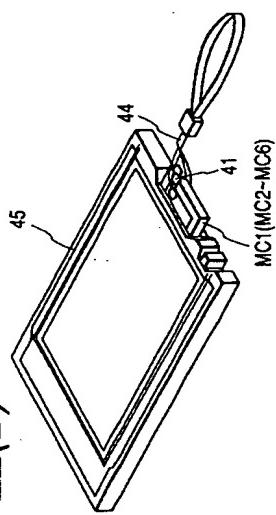


FIG. 21

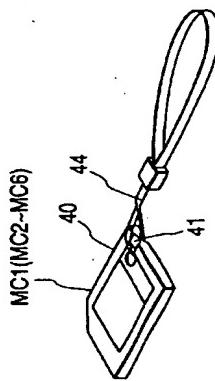


FIG. 22(C)

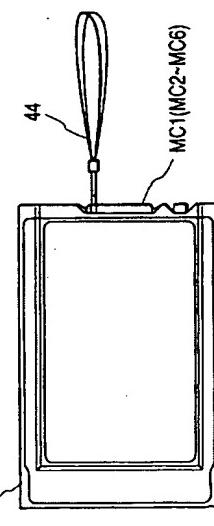


FIG. 23

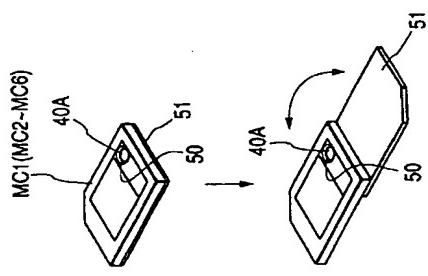


FIG. 25(A)

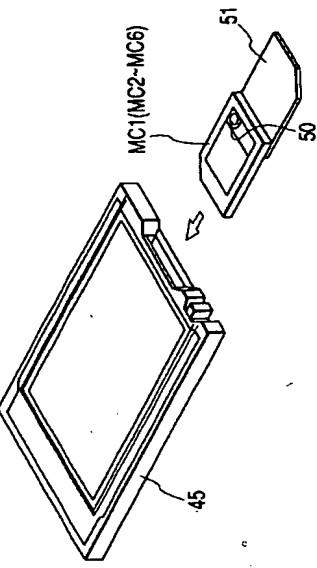


FIG. 25(B)

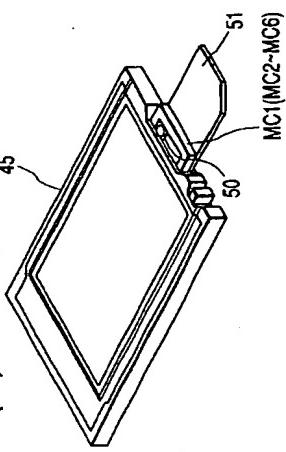


FIG. 25(C)

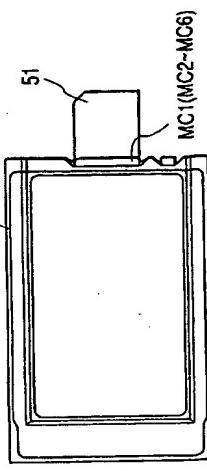


FIG. 24

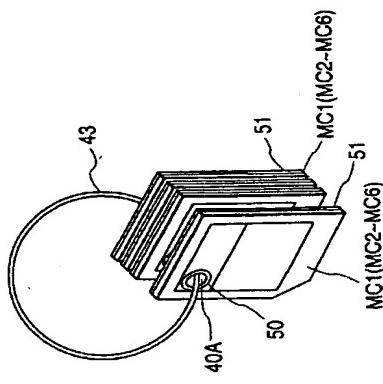


FIG. 26(B)

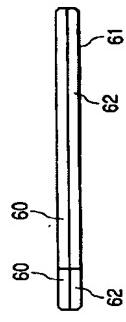


FIG. 27(B)

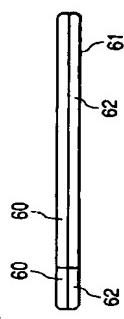


FIG. 26(C)

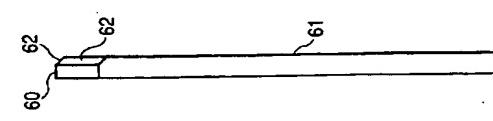


FIG. 26(A)

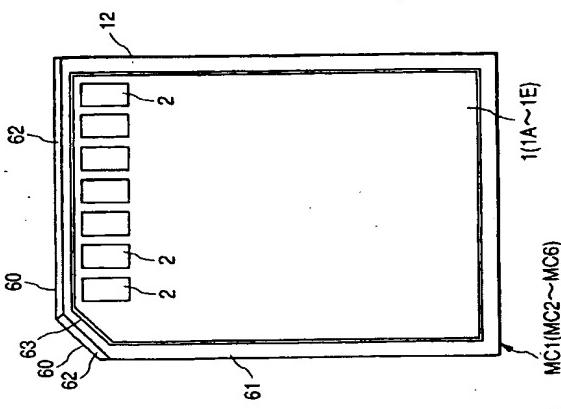


FIG. 27(A)

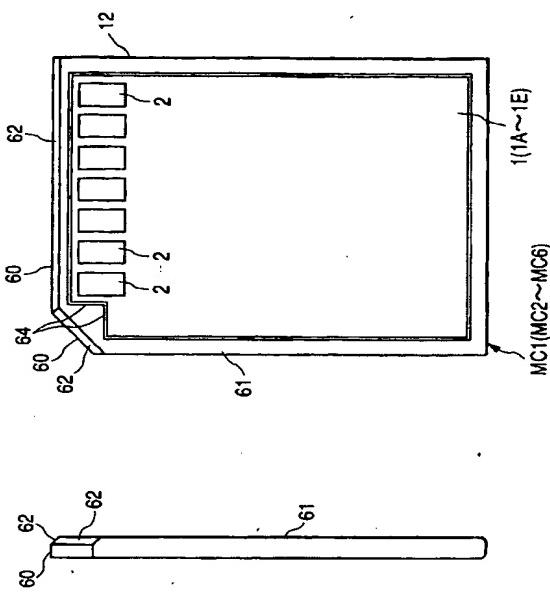


FIG. 27(C)

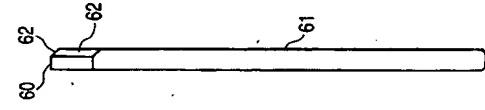
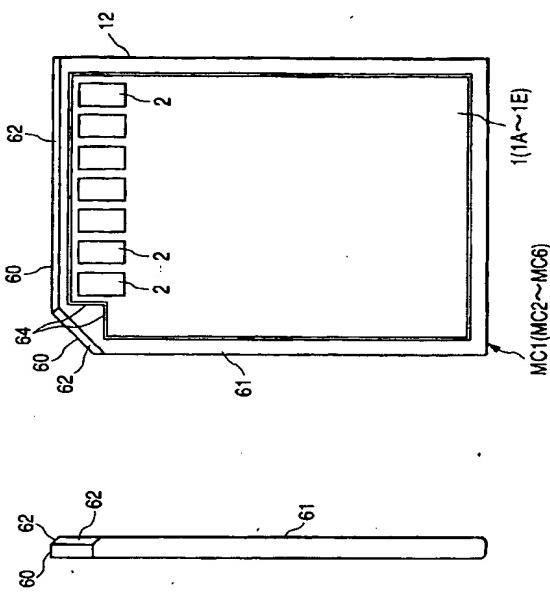


FIG. 27(B)



1(1A~1E)

MC1(MC2~MC6)

1(1A~1E)

MC1(MC2~MC6)

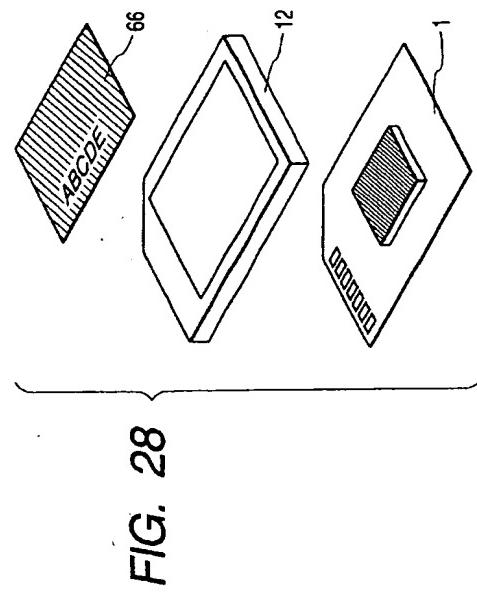


FIG. 28

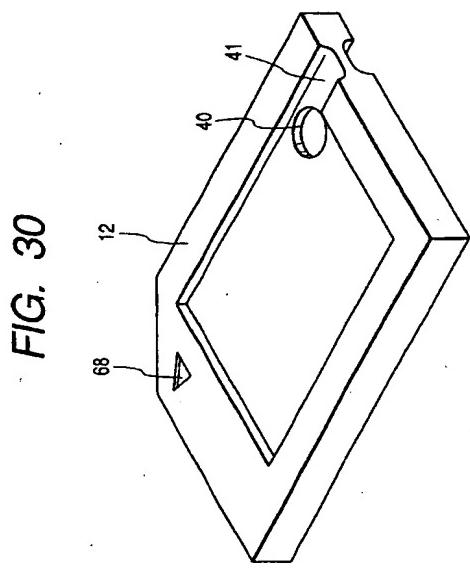


FIG. 30

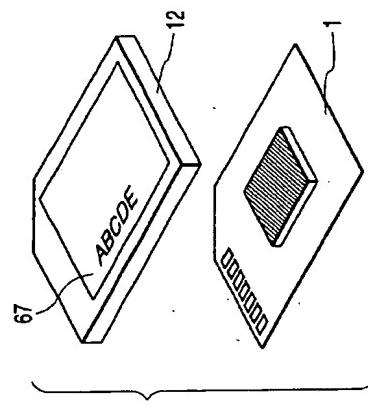


FIG. 29

FIG. 31(A)  
FIG. 31(B)

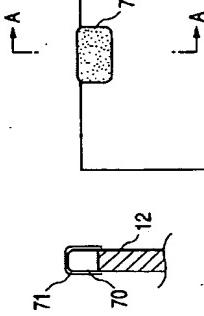
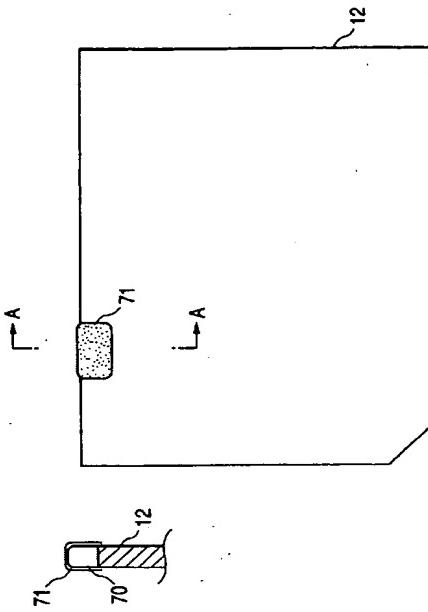


FIG. 32(A)

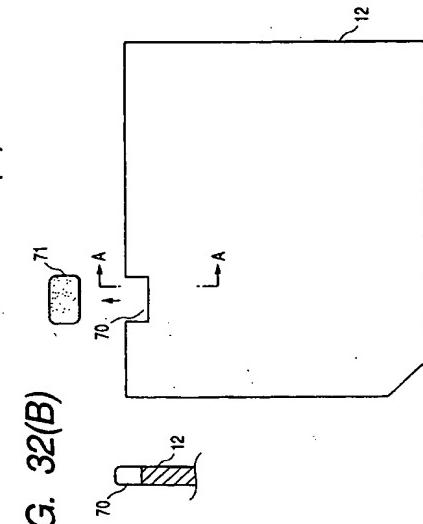


FIG. 32(B)

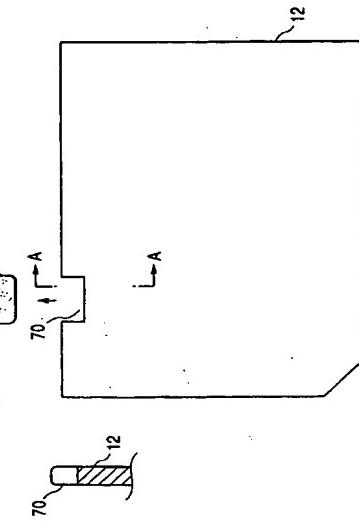


FIG. 33(A)

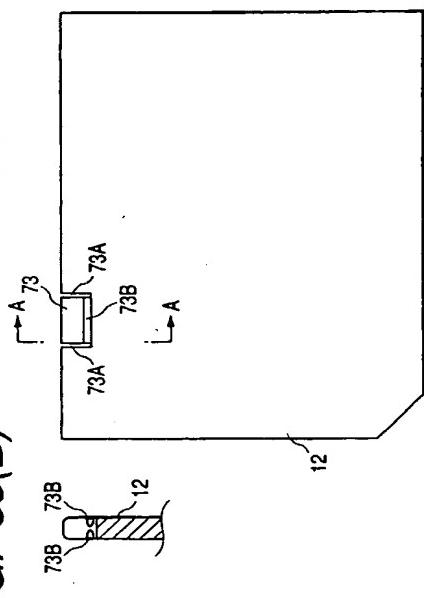


FIG. 33(B)

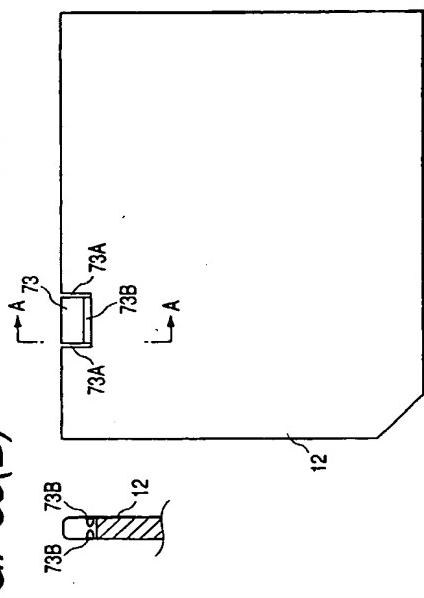


FIG. 34(A)

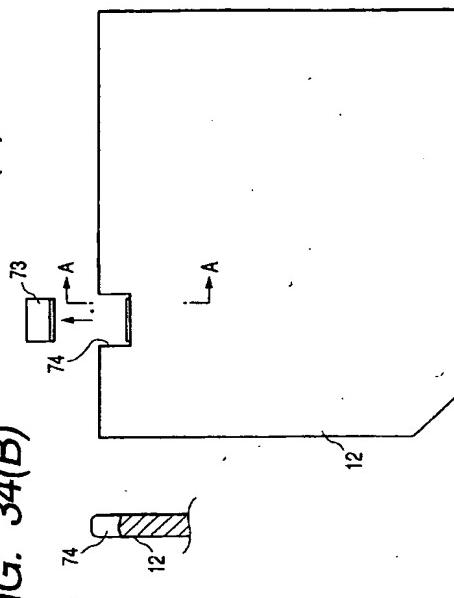


FIG. 34(B)

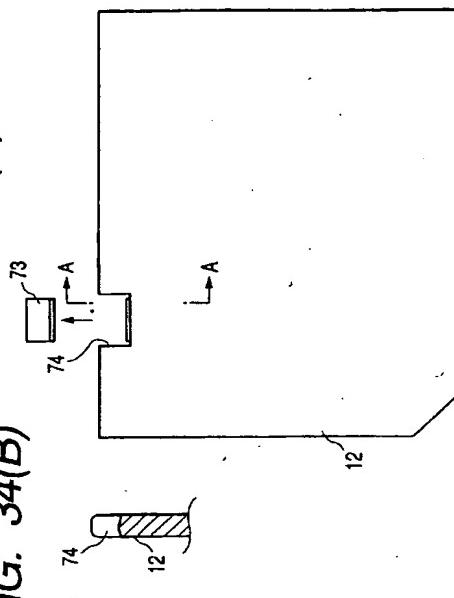


FIG. 35

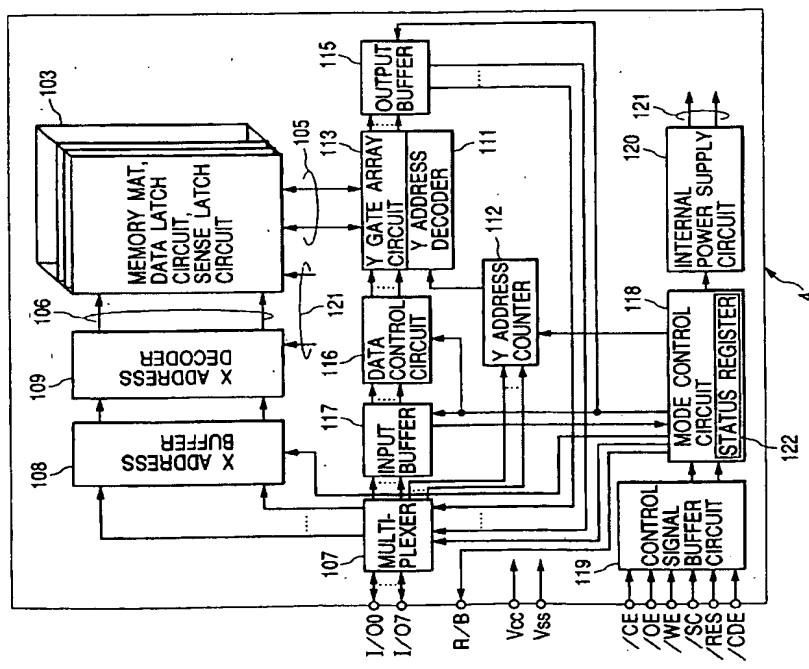
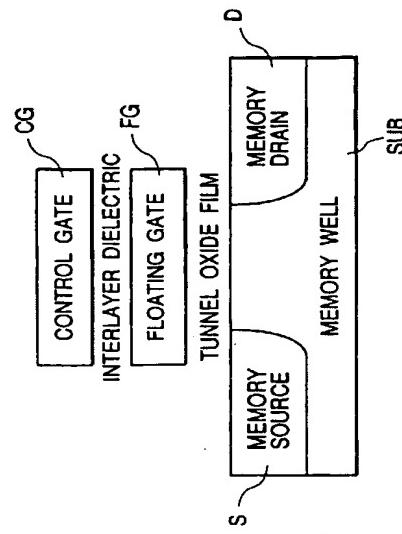


FIG. 36



# INTEGRATED CIRCUIT CARD HAVING STAGGERED SEQUENCES OF CONNECTOR TERMINALS

## BACKGROUND OF THE INVENTION

The present invention relates to a technology for improving compatibility related to an arrangement and functions of connector terminals for an IC card, and reliability of an IC card, and related to, for example, a technology effective for application to a compatible memory card such as a multi media card (Multi Media Card). There has been provided a memory card having implemented reductions in size and weight and the simplification of an interface, such as a multi media card or the like aimed to perform, for example, the transfer of information between cellular phone and digital network device. As described, for example, the System Summary issued from the Multi Media Card Association, the multi media card has seven connector terminals as external interface terminals and adopts a serial interface. As compared with an ATA interface adopted by a PC card or hard disk, it can lighter a load on a host system and can be used in a simple system. Further, an SD card has been proposed as an upward or downward compatible memory card like a multi media card, which adopts a serial interface and has nine connector terminals.

## SUMMARY OF THE INVENTION

The present inventors have carried out various discussions about compatibility function expansion, an improvement in reliability, etc. with respect to a multi media card. The shapes and layout of connector terminals for a multi media card or the like have firstly been discussed. A point of difference between interface specifications of each individual memory card is reflected on the shapes and layout of the connector terminals of the card. Further, the point of difference is reflected on each socket terminal of a card socket. Thus, it has been revealed by the present inventors that if there is no commonality between arrangements and shapes of connector terminals even if there is consistency between the size and thickness of each casing, it is difficult to implement compatibility and upward compatibility among the memory cards.

It is generally estimated that a serial interface is not capable of obtaining a data input/output rate necessary for data processing as compared with the PC card or compact flash card or the like which adopts the ATA interface. In order to cope with it, the number of connector terminals for data input/output must be increased. At that time, the compatibility should be taken into consideration from the above point of view.

Thirdly, the present inventors have found out the need for contrivances for avoiding the occurrence of a power-supply short in any relative position between connector terminals of an IC card and socket terminals of a card socket when the IC card is inserted into the card socket, where it is desired to increase the number of the connector terminals while the size of the IC card remains unchanged.

Briefly, an IC card needs a connection in which forms such as with a PC card uses a connection in which forms such as storage of the IC card, carrying thereof, its shipment, etc. are taken into consideration.

If further expression is made to the staggered layout, then the connector terminals include an arrangement of terminal-to-terminal areas of connector terminals laid out in a first sequence and an arrangement of terminal-to-terminal areas of connector terminals laid out in a second sequence shifted from each other as viewed in a sequence direction. If the further expression is made to the staggered layout, then the connector terminals include an arrangement of two rows of sequences formed back and forth as viewed in an IC card inserting direction. Further, an arrangement of terminal-to-terminal areas of connector terminals laid out in a first sequence and an arrangement of terminal-to-terminal areas of connector terminals laid out in a second sequence shifted from each other as viewed in a sequence direction.

Thus, there is a possibility that when a finger or the like directly touches the connector terminals upon detachment and carrying of the multi media card, electrostatic discharge damage will occur according to a surge exceeding resistance to ESD protection of an mounted semiconductor integrated circuit chip. The multi media card is expected to be singly carried or often detached from host device. Thus, the present inventors have found out the utility for the enhancement of prevention of the electrostatic discharge damage. Sixthly, consideration taken to avoid the compaction of wiring patterns and that of bonding wires so as not to cause malfunctions due to an undesired leak on a signal line since a free space on a card substrate is reduced due to an improvement in the function of an IC card and an increase in the number of connector terminals, leads to an improvement in the reliability of the IC card.

An object of the present invention is to improve usability and reliability of an IC card.

Another object of the present invention is to provide an IC card which is easy to implement compatibility related to an arrangement and functions of connector terminals.

A still further object of the present invention is to provide an IC card which is hard to cause a power-to-power short upon loading in a card socket.

A still further object of the present invention is to provide an IC card which is capable of avoiding compaction of wiring patterns and that of bonding wires.

As still further object of the present invention is to provide an IC card which is capable of blocking the inflow of surges from connector terminals by a simple structure.

The above, other objects and novel features of the present invention will become apparent from the description of the present specification and the accompanying drawings.

Summaries of typical ones of the inventions disclosed in the present application will be explained in brief as follows:

When it is desired to add data terminals or the like to specific specifications of a connector terminal arrangement and implement upward compatibility, an arrangement of connector terminals needs to make allowance for making it possible to support or cope with even downward compatibility (e.g., compatibility that a high-order or upward IC card can be utilized by being inserted into a socket of a low-order or downward IC card) together with upward compatibility (e.g., compatibility that a low-order or downward IC card can be utilized by being inserted into a card of a high-order or upward IC card) having specifications related to the high-order IC card.

An IC card based on the above point of view has a card substrate having at least one semiconductor integrated circuit chip mounted thereon and a plurality of connector terminals formed thereon. The connector terminals are exposed from a casing. The connector terminals are laid out in plural sequences in staggered form between the sequences adjacent to one another forward and backward as viewed in an IC card inserting direction.

If another expression is made to the staggered layout, then the connector terminals include an arrangement of two rows of sequences formed back and forth as viewed in an IC card inserting direction. Further, an arrangement of terminal-to-terminal areas of connector terminals laid out in a first sequence and an arrangement of terminal-to-terminal areas of connector terminals laid out in a second sequence shifted from each other as viewed in a sequence direction.

If the further expression is made to the staggered layout, then the connector terminals include an arrangement of two rows of sequences formed back and forth as viewed in an IC card inserting direction. Further, an arrangement of terminal-to-terminal areas of connector terminals laid out in a first sequence and an arrangement of terminal-to-terminal areas of connector terminals laid out in a second sequence shifted from each other as viewed in a sequence direction.

3 sequences formed back and forth as viewed in an IC card inserting direction. Further, a sequence of connector terminals referred to above, a configuration of the nine connector terminals is considered in which the semiconductor chip has a controller chip connected to the connector terminals, and the controller chip has a one-bit mode using one bit of the data terminals of the four bits, the mode being set in response to the state of a predetermined connector terminal or the state of an input from the predetermined connector terminal and a four-bit mode used to perform four-bit parallel input/output using the four-bit parallel input/output using the four-bit parallel input/output using the data terminals corresponding to the eight bits.

Similarly, when it is desired to implement compatibility with memory cards having data terminals corresponding to one bit and for bits under the assumption of an IC card having the thirteen connector terminals, the controller chip may be provided with a one-bit mode using one bit of the data terminals corresponding to the eight bits, the mode being set in response to the state of a predetermined connector terminal or the state of an input from the predetermined connector terminal, a four-bit mode which is used to perform four-bit parallel input/output using four bits of the eight-bit data terminals and an eight-bit mode which is used to perform eight-bit parallel input/output using the data terminals corresponding to the eight bits.

Suppose a data processing system makes available any of an IC card having only the one-bit mode, an IC card having only the four-bit mode, and an IC card capable of selecting the one-bit mode and the four-bit mode. The fast processing system has a card socket in which the IC card capable of selecting the one-bit mode and four-bit mode is applicable. Suppose a data processing system makes available any of an IC card having only the one-bit mode, an IC card having only the four-bit mode, and an IC card capable of selecting the one-bit mode and the four-bit mode. The fast processing system has a card socket in which the IC card capable of selecting the one-bit mode and four-bit mode is applicable. The card socket includes a plurality of socket terminals respectively connected to connector terminals of the mounted IC card. Further, the data processing system has a card interface controller capable of selectively setting the one-bit mode or four-bit mode to the IC card through the socket terminals. The card interface controller is placed under the control of a host control device.

Suppose a data processing system makes available any of an IC card having only the one-bit mode, an IC card having only the four-bit mode, and an IC card capable of selecting the one-bit mode or eight-bit mode. The card socket includes a plurality of socket terminals respectively connected to connector terminals of the mounted IC card. To this end, a configuration is adopted wherein a function dedicated for a third IC card is assigned to both the specific terminal sequence card and a sequence corresponding to a second IC card. At this time, consideration is given as it is, whereas a function dedicated for a second IC card is assigned to a connector terminal sequence corresponding to another staggered second card, and a function dedicated for a third IC card is assigned to both the specific terminal sequence card corresponding to the first IC card and the connector terminal sequence corresponding to the second IC card. At this time, consideration is given to the second sequence. At this time, compatibility is given downward compatibility between the second IC card and the third IC card. To this end, a configuration is adopted wherein the connector terminal at one end extending in a sequence direction, of the connector terminals laid out in the second sequence, the connector terminals laid out in the first sequence, and the connector terminal at the other end extending in the sequence direction, of the connector terminals laid out in the second sequence extends to a position where it adjoins the connector terminal as viewed in a sequence direction, at one end extending in the sequence direction of the connector terminals laid out in the first sequence, and the connector terminal at the other end extending in the sequence direction, of the connector terminals laid out in the second sequence extends to a position where it adjoins the connector terminal as viewed in the sequence direction, at the other end extending in the sequence direction, of the connector terminals laid out in the first sequence.

According to it, the first through third IC cards are capable of easily implementing compatibility mutually available even to a slot of any of other IC cards by being inserted thereto.

If consideration is given to a multi media card or the like at the present situation while specific functions of the connector terminals are optional, then the connector terminals may include one source voltage supply terminal, two ground voltage supply terminals, and one clock signal input terminal.

When supporting a memory card as the IC card, if a single or plural, e.g., electrically rewritable non-volatile memory chips connected to the controller chip are further provided as memory control function for controlling a read/write operation with respect to the single or plural non-volatile memory chips in accordance with instructions given from outside. The non-volatile memory chip may be a ROM (Read Only Memory). Further, the non-volatile memory may be replaced with a RAM (Random Access Memory) according to uses.

If data security is taken into consideration, then the controller chip may further be provided with a security function for encoding data written into each non-volatile memory chip referred to above, and decoding the data read from the non-volatile memory chip.

When it is desired to implement compatibility with a memory card having a data terminal corresponding to one

When a connector terminal for the supply of a source voltage is placed in a connector terminal sequence corresponding to a first sequence as viewed in an IC card inserting direction, a terminal-to-terminal area is formed in a connector terminal sequence corresponding to a second sequence at positions adjacent to the connector terminal for the source voltage supply. There is a possibility that if other connector terminals adjacent to the connector terminal for the source voltage supply are placed in the connector terminal sequence corresponding to the second sequence in staggered form, then socket terminals of a card socket, which are assigned to other connector terminals, will make contact with both the source supply connector terminal and other connector terminals located ahead thereof before they reach other connector terminals. There is a possibility that if a source socket terminal is already in contact with the connector terminal for the source voltage supply in this state, then a power-to-power short will occur. If a structure or configuration is adopted in which the terminal-to-terminal areas are laid out, it is then unnecessary to take measures for increasing a sequence-to-sequence distance between the first sequence and second sequence of the connector terminals and narrowing the width of each connector terminal.

For the purposes similar to above, connector terminal for the source voltage supply in which broad terminal-to-terminal distance is set to portions where connector terminal for the source voltage supply faces a connector terminal sequence corresponding to a second sequence, may be formed in a connector terminal sequence corresponding to a first sequence as viewed in an IC card inserting direction. When an IC card is inserted into its corresponding card socket, contacts of socket terminals are first brought into contact with a leading end of the IC card. Thus, there is a possibility that a leading end of a casing for the IC card will deform or crack with time. There is also a possibility that bending will occur in each socket terminal in reverse. In order to avoid it, a guide portion formed by a slant surface or circular arc extending from a leading edge portion extending at a front end in an IC card inserting direction to a connected terminal forming surface of the casing will be in the casing for the IC card. The slant surface or circular arc of the guide portion is set larger than a slant surface or circular arc formed in each of other edge portions.

An IC card has a card substrate in which memory chips and a controller chip which controls the memory chip are mounted, and a plurality of connecting pads respectively conductive to a plurality of connector terminals are formed together with the connector terminals. A layout on the card substrate is set in order of the connector terminals, controller chip and memory chips with respect to one side of the card substrate. The connector terminals are exposed from a casing. The controller chip has a shape long along the direction of an arrangement of the connector terminals and includes a plurality of connector interface terminals connected to the connector terminals through the connecting pads on the connector terminal side, and a plurality of memory interface terminals connected to the corresponding memory chip on the memory chip side. Each memory chip referred to above has a plurality of controller interface terminals connected to the corresponding controller chip on the controller chip side.

According to the above, since the long controller chip is caused to approach the connector terminal side and each memory chip is placed on the side opposite to the controller chip, the area for laying out each memory chip can be made relatively large. Further, wirings for respectively connecting the connector terminals, the controller chip and each

memory chip may be placed regularly in their arrangement directions. It is not necessary to adopt wirings which bypass each chip and are fed back completely.

The connecting pads may be electrically connected to their corresponding connection interface terminals of the controller chip through bonding wires, the memory interface terminals of the controller chip may be connected to their corresponding controller interface terminals of each memory chip through bonding wires. According to it, each wiring layer of the card substrate can be simplified, thus making it possible to contribute to a cost reduction.

Through holes each of which extends through the front and back of a casing of each of the memory cards, may be defined in the casing to improve the storage of the memory cards and their handling performance. It is easy to store and thin memory cards such as a multi media card, may be defined in the casing to improve the storage of the memory cards and their handling performance. The storage of the memory cards and the IC card if a ring is put through the through holes, a strap may be drawn through its corresponding through hole.

A terminal protective cover, which is pivoted about the through hole and covers the connector terminals in a state of being superimposed on the casing, may be provided. Since the protective cover is capable of restraining a situation that one touches the connector terminals carelessly, the prevention of electrostatic discharge damage of each semiconductor integrated circuit chip, test terminals connected to the controller chip and the memory chips may be provided on the card substrate with the memory chips and controller chip mounted thereon. Since it is better to avoid ever-exposure of the test terminals after they have been assembled into their corresponding casing, the test terminals may be formed on the surface on the side opposite to the connector terminal forming surface of the card substrate from this point of view. If there is provided a control terminal for supplying a control signal for controlling each memory interface terminal of the controller chip to a high impedance state to the controller chip, then the memory chips can also be tested singly with ease using the test terminals.

Attributed information or the like about an IC card is normally displayed on the IC card as in the case of storage capacity or the like of a memory card. Applying a seal onto a casing may do such indication of information. However, when a reduction in the number of parts and the like are taken into consideration, required character information may be printed on the surface of the casing or concavely formed on the surface of the casing.

An indication mark indicative of the direction of insertion of an IC card into a card socket may be printed on the surface of the casing or concavely formed on the surface thereof.

#### BRIEF DESCRIPTION OF THE DRAWINGS

While the specification concludes with claims particularly pointing out and distinctly claiming the subject matter which is regarded as the invention, it is believed that the invention, its objects and features of the invention and further objects, features and advantages thereof will be better understood from the following description taken in connection with the accompanying drawings in which:

FIG. 1(A) is an explanatory view showing a terminal surface of an upward compatible memory card in which data terminals are set to four bits with respect to a multi media card;

FIG. 1(B) is an explanatory view illustrating a mounting surface of an upward compatible memory card in which the data terminals are set to the four bits with respect to the multi media card;

FIG. 1(C) is an explanatory view depicting a mounting surface of an upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 2(A) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to four bits with respect to a multi media card;

FIG. 2(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which the data terminals are set to the four bits with respect to the multi media card;

FIG. 2(C) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 3(A) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to the eight bits with respect to the multi media card;

FIG. 3(B) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to eight bits with respect to the multi media card;

FIG. 3(C) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to the eight bits with respect to the multi media card;

FIG. 4(A) is an explanatory view illustrating a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 4(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 4(C) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 5(A) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to the eight bits with respect to the multi media card;

FIG. 5(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which data terminals are set to the eight bits with respect to a multi media card;

FIG. 5(C) is an explanatory view showing a terminal surface of a further upward compatible memory card in which data terminals are set to the eight bits with respect to a multi media card;

FIG. 6(A) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 6(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 6(C) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 7(A) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 7(B) is an explanatory view depicting a mounting surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 7(C) is an explanatory view showing a terminal surface of another upward compatible memory card in which data terminals are set to eight bits with respect to a multi media card;

FIG. 8(A) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is placed in a card socket corresponding to a multi media card;

FIG. 8(B) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is provided with a protective cover corresponding to a multi media card;

FIG. 8(C) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is provided with its corresponding protective cover;

FIG. 9(A) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is provided with a protective cover corresponding to a multi media card;

FIG. 9(B) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is provided with its corresponding protective cover;

FIG. 9(C) is an explanatory view showing the state of a mounting surface of a multi media card-based memory card in which a memory card is provided with its corresponding protective cover;

FIG. 10(A) is a schematic block diagram of a data processing system having the card socket shown in FIG. 7;

FIG. 10(B) is an explanatory view illustrating, as a comparative example, a connector terminal arrangement which develops a power-to-power short;

FIG. 10(C) is an explanatory view depicting, as the comparative example, the connector terminal arrangement which develops the power-to-power short;

FIG. 11(A) is an explanatory view showing an example in which the development of the power-to-power short is taken to prevent a power-to-power short by virtue of channeled portions of connector terminals;

FIG. 11(B) is an explanatory view illustrating an example in which measures are taken to prevent a power-to-power short by virtue of linear dimensions of socket terminals or the like;

FIG. 11(C) is an explanatory view showing an example in which the development of the power-to-power short is taken to prevent a power-to-power short by virtue of plating on the surface of the connector terminals;

FIG. 12(A) is an explanatory view showing an example in which data terminals are set to four bits with respect to a multi media card;

FIG. 12(B) is an explanatory view illustrating a mounting surface of an upward compatible memory card in which data terminals are set to the four bits with respect to the multi media card;

FIG. 12(C) is an explanatory view showing a second example in which the casting of the memory card is provided with the guide portion;

FIG. 13(A) is an explanatory view showing an example in which the casting of the memory card is provided with the guide portion;

FIG. 13(B) is an explanatory view showing an example in which the casting of the memory card is provided with the guide portion;

FIG. 13(C) is an explanatory view showing an example in which the casting of the memory card is provided with the guide portion;

FIG. 14 is an explanatory view showing a comparative example in which wiring routing increases on a card substrate;

FIG. 15 is a plan view showing, as an example, a detailed configuration of a mounted state of circuit elements of the multi media card-based memory card shown in FIG. 6;

FIG. 16 is a vertical cross-sectional view of FIG. 15;

FIG. 17 is a plan view exclusively illustrating, as an example, the state of connections of test terminals and the like of the multi media card-based memory card shown in FIG. 6;

FIG. 18 is a perspective view showing a first example in which a through hole is defined in a memory card; FIG. 19 is a perspective view illustrating a second example in which a through hole is defined in a memory card;

FIG. 20 is a perspective view showing, as an example, a first use form of through holes defined in memory cards; FIG. 21 is a perspective view illustrating a second use form of a through hole defined in a memory card;

FIG. 22(A) is an explanatory view depicting the operation of mounting of the memory card shown in FIG. 21 in a PC card adapter;

FIG. 22(B) is an explanatory view showing the operation of filling of the memory card shown in FIG. 21 in the PC card adapter;

FIG. 22(C) is an explanatory view illustrating the operation of mounting of the memory card shown in FIG. 21 in the PC card adapter;

FIG. 23 is a perspective view showing an example in which a memory card is provided with a protective cover, in which the data terminals are set to eight bits with respect to a multi media card;

FIG. 24 is a perspective view depicting, as an example, the manner of fitting of each memory card provided with its corresponding protective cover;

FIG. 25(A) is an explanatory view showing the operation of mounting of the memory card shown in FIG. 23 in a PC card adapter;

FIG. 25(B) is an explanatory view showing the operation of mounting of the memory card shown in FIG. 23 in the PC card adapter;

FIG. 26(A) is an explanatory view depicting a first example in which a casting of a memory card is provided with its corresponding protective cover;

FIG. 26(B) is an explanatory view depicting a second example in which a casting of a memory card is provided with its corresponding protective cover;

FIG. 26(C) is an explanatory view showing the first example in which the casting of the memory card is provided with the guide portion;

FIG. 27(A) is an explanatory view showing the second example in which the casting of the memory card is provided with the guide portion;

FIG. 27(B) is an explanatory view showing the second example in which the casting of the memory card is provided with the guide portion;

FIG. 27(C) is an explanatory view showing the second example in which the casting of the memory card is provided with the guide portion;

FIG. 28(A) is an explanatory view illustrating an example in which a seal is put to represent attribute information of the memory card;

FIG. 29 is an exploded perspective view showing an example of a memory card in which attribute information of the memory card is represented by printing onto its casing; FIG. 30 is a perspective view depicting an example of a memory card in which a concave portion is defined in a casing to represent an indication mark indicative of the direction of insertion of the memory card;

FIG. 31(A) is an explanatory view showing the state of release of write protect by a seal system;

FIG. 31(B) is an explanatory view illustrating the state of release of write protect by a lug system;

FIG. 32(A) is an explanatory view depicting the state of write protect by a seal system;

FIG. 32(B) is an explanatory view showing the state of write protect by a lug system;

FIG. 33(A) is an explanatory view illustrating the state of release of write protect by the seal system;

FIG. 33(B) is an explanatory view depicting the state of release of write protect by the lug system;

FIG. 34(A) is an explanatory view showing the state of write protect by a lug system;

FIG. 34(B) is an explanatory view illustrating the state of write protect by the lug system;

FIG. 35 is a block diagram showing a configuration of a flash memory chip as an example; and

FIG. 36 is a cross-sectional view schematically depicting the structure of a non-volatile memory cell transistor for a flash memory chip.

## DESCRIPTION OF THE PREFERRED EMBODIMENTS

Preferred embodiments of the present invention will hereinafter be described in detail with reference to the accompanying drawings.

FIGS. 1 through 5 respectively illustrate upward compatible memory cards based on multi media cards, as shown in FIGS. 1(A), 2(A), 3(A), 4(A), and 5(A) show terminal surfaces, and FIGS. 1(B), 2(B), 3(B), 4(B), and 5(B) illustrate chip mounting surfaces, respectively.

A memory card (multi media card-based memory card) MC1 based on a multi media card, which is basic to these memory cards, will first be explained with reference to FIG. 6. A card substrate (also called a "multi media card-based card substrate") 1 of the multi media card-based memory card MC1 is configured in such a manner that seven connector terminals 2, respectively (the identical in shape to one another and rectangular are provided at equal intervals on a terminal surface of a substrate comprising a resin substrate composed of a glass, epoxy resin or the like, and connecting pads 3 are formed on a mounting surface thereof) in a one-to-one correspondence with the connector terminals 2. Each connecting pad 3 is formed of a conductive pattern such as aluminum, copper, or a ferric-alloy or the like. Each of the connector terminals 2 is formed by applying gold plating, nickel plating or the like to conductive patterns such as aluminum, copper, or the ferric-alloy or the like.

Electrical connections between the connecting pads 3 and the connector terminals 2 are conducted by unillustrated wiring patterns on the card substrate 1 and through holes which bring the front and back of the card substrate 1 into contact with the connector terminal of #1. Even in the case of any of the operation modes, the controller chip 5 performs access control of memory chip and control for interface with the host device in response to a command given from the host device.

FIG. 4 is mounted on the mounting surface of the card substrate

1. The controller chip 5 controls a read/write operation effected on each flash memory chip 4 in accordance with instructions given from outside through each connector terminal 2. When data security is taken into consideration, the controller chip 5 may further be provided with a security function for encrypting or encoding data written into its corresponding flash memory chip 4 and decrypting or decoding the data read out from the flash memory chip 4.

The controller chip 5 has a shape long along the direction of an arrangement of the connector terminals 5#1 and includes a plurality of connector interface terminals 5#1 electrically connected to their corresponding connector terminals 2 connected to the controller chip 5 side. The connecting pads 3 are connected to the connector terminals 2 on the connector interface terminals 5#1 side, and a plurality of memory interface terminals 5#2 are electrically connected to their corresponding memory chips 4 on the memory chip 5 side. Each of the memory chips 4 has a plurality of controller interface terminals 4#1 electrically connected to the corresponding controller chip 5 on the controller chip 5 side. The connecting pads 3 are connected to their corresponding connector interface terminals 5#2 of the controller chip 5 by bonding wires 7. The memory interface terminals 5#1 of the controller chip 5 are electrically connected to their corresponding controller interface terminals 4#1 of each memory chip 4 by bonding wires 8.

Reference numeral 9 indicates a relay part.

Further, the card substrate 1 has test terminals 10 electrically connected to the controller chip 5 and each of the memory chips 4 by bonding wires (or writing patterns) 11.

The card substrate 1 is attached and fixed to a casing 12 with its mounting surface directed inwardly. The mounting surface of the card substrate 1 is covered with the casing 12 for its protection and the terminal surface thereof is exposed from the casing 12. Incidentally, one example of the electrical connections made by the bonding wires 7, 8 and 11 is shown in the drawing, and the unillustrated terminals are also electrically connected by their corresponding bonding wires or the like, in the same manner as described above.

Now terminal numbers #1 through #7 are assigned to the connector terminals 2 on the terminal surface for convenience. In a multi media card mode, #1 serves as a reserve terminal (open or fixed to a logical value "1"), #2 functions as a command terminal (which performs a command input and a response signal output), #3 and #6 serve as circuit's ground (ground) terminals, #4 serves as a source voltage supply terminal, #5 serves as a clock input terminal, and #7 serves as a data input/output terminal, respectively. In an SPI (Serial Peripheral Interface) mode, #1 serves as a chip select terminal (negative logic), #2 serves as a data input terminal (for the input of data and commands from a host device to a card), #3 and #6 serve as the circuit's ground voltage (ground) terminals, #4 serves as the source voltage supply terminal, #5 serves as the clock input terminal, and #7 serves as a data output terminal (for the output of data and commands to the host device), respectively.

Each connecting pad 3 is formed of a conductive pattern such as aluminum, copper, or a ferric-alloy or the like. Each of the connector terminals 2 is formed by applying gold plating, nickel plating or the like to conductive patterns such as aluminum, copper, or the ferric-alloy or the like.

Electrical connections between the connecting pads 3 and the connector terminals 2 are conducted by unillustrated wiring patterns on the card substrate 1 and through holes which bring the front and back of the card substrate 1 into contact with the connector terminal of #1. Even in the case of any of the operation modes, the controller chip 5 performs access control of memory chip and control for interface with the host device in response to a command given from the host device.

Another upward compatible memory card MC3 in which data terminals are set to four bits with respect to the multi media card, is illustrated in FIG. 2 by way of example. A card substrate 1B of the memory card MC3 is different from that of the memory card MC2 in that data terminals corresponding to the terminal numbers #8 and #9 are different in layout and size from each other. The data terminal of #8 is completely built or set in a terminal row or sequence corresponding to a first sequence and slightly reduced in width as compared with other connector terminals 2. The data terminal of #9 is laid out and changed to a position placed outside the data terminal of #8 and changed to a state of being nested toward it. Other configurations are similar to those shown in FIG. 1. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

An upward compatible memory card MC4 in which data terminals are set to eight bits with respect to the multi media card, is illustrated in FIG. 3 by way of example. The present memory card MC4 is different from the memory card MC1 in that thirteen connector terminals 2 and connecting pads 3 are provided outside the data terminal of #8 and #9 are laid out in a staggered form. The present memory card MC4 is different from the memory card MC1 in that the layout of the connector terminals 2 and connecting pads 3 is different in layout configuration to the second sequence placed so as to be spaced away from the connector terminals 2 of the first sequence. The connector terminals 2 are provided so that the layouts of their connector terminals are shifted from one another as viewed in their rear or sequence directions. In other words, the connector terminals 2 of #1 and #9, and the connector terminals 2 of #7 and #8 are laid out in a staggered form.

The present memory card MC2 is configured in such a manner that the terminals #2 through #7 are assigned to the same functions as the multi media card mode of the multi media card-based memory card MC1, the terminal #1 which was used as the receive terminal in the corresponding multi media card mode, is defined as a data terminal DATA3 corresponding to a fourth bit, and the added terminals #8 and #9 are respectively defined as a data terminal DATA1 corresponding to a second bit, and a data terminal DATA2 corresponding to a third bit.

The connector terminals 2 of #1 through #7 constitute a sequence corresponding to a first sequence and the connector terminals 2 of #8 through #13 constitute a second sequence with respect to the same terminal #7

as in the multi media card mode. Thus, the present memory card MC2 is different from the memory card MC1 in that the input/output of data is allowed in 4-bit parallel in connector terminals 2 of #8 through #13 parallel to the connector terminals 2 of #1 through #7. The connector terminals 2, the connector terminal sequence corresponding to a first sequence and the connector terminal sequence corresponding to a second sequence, are disposed so that the layouts of their connector terminals 2 are spaced away from one another as viewed in their rear or sequence directions. If attention is focused on connector terminals 2 of #8 through #13 parallel to the connector terminals 2 of #1 through #7, the connector terminals 2, the connector terminal sequence corresponding to the first sequence and the connector terminal sequence corresponding to the second sequence, are disposed so that the layouts of their connector terminals 2 are spaced away from one another as viewed in their rear or sequence directions. In short, the connector terminals 2, the connector terminal sequence corresponding to the first sequence and the connector terminal sequence corresponding to the second sequence, are disposed in staggered form between the rows or sequences in a manner similar to the memory card MC2 shown in FIG. 1.

The present memory card MC4 is configured in such a manner that the terminals #2 through #7 are assigned to the same functions as the multi media card mode of the multi media card-based memory card MC1, the terminal #1, which was used as the receive terminal in the corresponding multi media card mode, is defined as a data terminal DATA3 corresponding to a fourth bit, and the added terminals #8 #9, #10, #11, #12 and #13 are respectively successively defined as a data terminal DATA1 corresponding to a second bit, a

data terminal DATA4 corresponding to a fifth bit, a data terminal DATA6 corresponding to a seventh bit, a data terminal DATA7 corresponding to an eighth bit, a data terminal DATA8 corresponding to a ninth bit, and a data terminal DATA10 corresponding to a second bit. A data terminal DATA0 corresponding to a first bit corresponds to the same terminal #7 as that in the multi media card mode. Thus, the present memory card MC4 is different from the memory card MC1 in that the input/output of data is allowed in 8-bit parallel in the multi media card mode of the memory card MC1.

Further, the memory card MC4 has a downward compatible mode with respect to the multi media card-based memory card MC1. Namely, a controller chip SB has a one-bit mode which makes use of one bit #7 of the eight-bit data terminals #1 and #7 through #13, a four-bit mode which performs a four-bit parallel input/output using the four bits #1, #7, #8 and #13 of the eight-bit data terminals #1 and #7 through #13, and an eight-bit mode which performs an eight-bit parallel input/output using the eight-bit data terminals #1 and #7 through #13. The one-bit mode is an operation mode which allows the memory card MC4 to operate as the multi media card-based memory card MC1. The four-bit mode is the same operation mode as the four-bit modes for the memory cards MC2 and MC3.

The operation mode may be set in response to the state of a predetermined connector terminal or the state of the input of a command from the predetermined connector terminal. For example, when the memory card MC4 is loaded in the card socket of the multi media card-based memory card MC1, the terminals #8 through #13 reach floating. Therefore, when power is turned on, the controller chip SB may detect floating states of the connector terminals #1 for both of the data terminals DATA1 and DATA2 at which a difference from the four-bit mode can be recognized, or a floating state of the connector terminal 2 for one thereof (by configuration) to set the one-bit mode to the memory card MC on a software or hardware basis.

When the memory card MC4 is fitted in the card socket of the memory card MC2 shown in FIG. 1, the terminals #9 through #12 are brought to floating. Therefore, when power is turned on, the controller chip SB may detect floating states of all or some connector terminals 2 for the data terminals DATA4 through DATA7 on a software or hardware basis to set the four-bit mode to the memory card MC4. On the other hand, when the memory card MC4 is loaded in its dedicated card socket, the terminals #9 through #12 are conductive to a socket terminal of the card socket. So the memory card MC5 shown in FIG. 4 has upward-downward compatibility in a relationship with the memory cards MC1 and MC3 shown in FIGS. 6 and 2. Since the memory card MC4 shown in FIG. 5 has a connector terminal arrangement including complementarity between the arrangement of the connector terminals 2 of the memory card MC4 shown in FIG. 3 and the arrangement of the connector terminals 2 of the memory card MC5 shown in FIG. 4, it can be ranked as an almighty card having upward-downward compatibility even in a relationship with any of FIGS. 1, 2, 3, 4 and 6.

The controller chip SB is different from the controller chip S in that the number of data input/output terminals connected to the connecting pads 3 is eight. Other configurations are identical to those shown in FIG. 6. Circuit elements each having the same function are identified by the same reference numerals and their detailed description will therefore be omitted.

Another upward compatible memory card MC5 in which data terminals are set to eight bits with respect to the multi media card, is illustrated in FIG. 4 by way of example. A

connector terminals 2 of the terminal numbers #8 and #13 is similar to the memory card MC3 shown in FIG. 2. A data terminal DATA6 corresponding to a fifth bit, a data terminal DATA7 corresponding to a seventh bit, a data terminal DATA8 corresponding to a ninth bit, and a data terminal DATA10 corresponding to a second bit. A data terminal DATA0 corresponding to a first bit corresponds to the same terminal #7 as that in the multi media card mode. FIG. 8 shows the state in which the almighty memory card MC4 is located in a card socket 21 corresponding to the multi media card-based memory card MC1 shown in FIG. 1 or a unillustrated multi media card. As described above, the memory card MC4 is set to the one-bit mode, so that it can perform the same operation as the multi media card-based memory card MC1 or the unillustrated multi media card.

FIG. 9 shows the state in which the almighty memory card MC6 is located in a card socket 22 corresponding to the multi media card-based memory card MC3 shown in FIG. 2. As described above, the memory card MC6 is capable of performing the same operation as the memory card MC3 by being set to the four-bit mode.

Although not illustrated in the drawing in particular, the memory cards MC1 through MC5 shown in FIG. 6 and FIGS. 1 through 4 can respectively be operated in predetermined operation modes even if they are loaded in the card socket 22 shown in FIG. 7. The thickness of each card is substantially equal to a thickness of 1.4 mm of the multi media card. Compatibility available even if the memory cards are mutually inserted into any other type of card sockets, can be implemented.

FIG. 10 is a schematic block diagram of a data processing system having the card socket 22 shown in FIG. 7. The data processing system shown in the same drawing has a connector terminal 22 in which the memory card MC4 capable selecting the one-bit mode, four-bit mode, or eight-bit mode can be selected. The card socket 22 has a plurality of socket terminals 24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80, 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 124, 126, 128, 130, 132, 134, 136, 138, 140, 142, 144, 146, 148, 150, 152, 154, 156, 158, 160, 162, 164, 166, 168, 170, 172, 174, 176, 178, 180, 182, 184, 186, 188, 190, 192, 194, 196, 198, 200, 202, 204, 206, 208, 210, 212, 214, 216, 218, 220, 222, 224, 226, 228, 230, 232, 234, 236, 238, 240, 242, 244, 246, 248, 250, 252, 254, 256, 258, 260, 262, 264, 266, 268, 270, 272, 274, 276, 278, 280, 282, 284, 286, 288, 290, 292, 294, 296, 298, 300, 302, 304, 306, 308, 310, 312, 314, 316, 318, 320, 322, 324, 326, 328, 330, 332, 334, 336, 338, 340, 342, 344, 346, 348, 350, 352, 354, 356, 358, 360, 362, 364, 366, 368, 370, 372, 374, 376, 378, 380, 382, 384, 386, 388, 390, 392, 394, 396, 398, 400, 402, 404, 406, 408, 410, 412, 414, 416, 418, 420, 422, 424, 426, 428, 430, 432, 434, 436, 438, 440, 442, 444, 446, 448, 450, 452, 454, 456, 458, 460, 462, 464, 466, 468, 470, 472, 474, 476, 478, 480, 482, 484, 486, 488, 490, 492, 494, 496, 498, 500, 502, 504, 506, 508, 510, 512, 514, 516, 518, 520, 522, 524, 526, 528, 530, 532, 534, 536, 538, 540, 542, 544, 546, 548, 550, 552, 554, 556, 558, 560, 562, 564, 566, 568, 570, 572, 574, 576, 578, 580, 582, 584, 586, 588, 590, 592, 594, 596, 598, 600, 602, 604, 606, 608, 610, 612, 614, 616, 618, 620, 622, 624, 626, 628, 630, 632, 634, 636, 638, 640, 642, 644, 646, 648, 650, 652, 654, 656, 658, 660, 662, 664, 666, 668, 670, 672, 674, 676, 678, 680, 682, 684, 686, 688, 690, 692, 694, 696, 698, 700, 702, 704, 706, 708, 710, 712, 714, 716, 718, 720, 722, 724, 726, 728, 730, 732, 734, 736, 738, 740, 742, 744, 746, 748, 750, 752, 754, 756, 758, 760, 762, 764, 766, 768, 770, 772, 774, 776, 778, 780, 782, 784, 786, 788, 790, 792, 794, 796, 798, 800, 802, 804, 806, 808, 810, 812, 814, 816, 818, 820, 822, 824, 826, 828, 830, 832, 834, 836, 838, 840, 842, 844, 846, 848, 850, 852, 854, 856, 858, 860, 862, 864, 866, 868, 870, 872, 874, 876, 878, 880, 882, 884, 886, 888, 890, 892, 894, 896, 898, 900, 902, 904, 906, 908, 910, 912, 914, 916, 918, 920, 922, 924, 926, 928, 930, 932, 934, 936, 938, 940, 942, 944, 946, 948, 950, 952, 954, 956, 958, 960, 962, 964, 966, 968, 970, 972, 974, 976, 978, 980, 982, 984, 986, 988, 990, 992, 994, 996, 998, 1000, 1002, 1004, 1006, 1008, 1010, 1012, 1014, 1016, 1018, 1020, 1022, 1024, 1026, 1028, 1030, 1032, 1034, 1036, 1038, 1040, 1042, 1044, 1046, 1048, 1050, 1052, 1054, 1056, 1058, 1060, 1062, 1064, 1066, 1068, 1070, 1072, 1074, 1076, 1078, 1080, 1082, 1084, 1086, 1088, 1090, 1092, 1094, 1096, 1098, 1100, 1102, 1104, 1106, 1108, 1110, 1112, 1114, 1116, 1118, 1120, 1122, 1124, 1126, 1128, 1130, 1132, 1134, 1136, 1138, 1140, 1142, 1144, 1146, 1148, 1150, 1152, 1154, 1156, 1158, 1160, 1162, 1164, 1166, 1168, 1170, 1172, 1174, 1176, 1178, 1180, 1182, 1184, 1186, 1188, 1190, 1192, 1194, 1196, 1198, 1200, 1202, 1204, 1206, 1208, 1210, 1212, 1214, 1216, 1218, 1220, 1222, 1224, 1226, 1228, 1230, 1232, 1234, 1236, 1238, 1240, 1242, 1244, 1246, 1248, 1250, 1252, 1254, 1256, 1258, 1260, 1262, 1264, 1266, 1268, 1270, 1272, 1274, 1276, 1278, 1280, 1282, 1284, 1286, 1288, 1290, 1292, 1294, 1296, 1298, 1300, 1302, 1304, 1306, 1308, 1310, 1312, 1314, 1316, 1318, 1320, 1322, 1324, 1326, 1328, 1330, 1332, 1334, 1336, 1338, 1340, 1342, 1344, 1346, 1348, 1350, 1352, 1354, 1356, 1358, 1360, 1362, 1364, 1366, 1368, 1370, 1372, 1374, 1376, 1378, 1380, 1382, 1384, 1386, 1388, 1390, 1392, 1394, 1396, 1398, 1400, 1402, 1404, 1406, 1408, 1410, 1412, 1414, 1416, 1418, 1420, 1422, 1424, 1426, 1428, 1430, 1432, 1434, 1436, 1438, 1440, 1442, 1444, 1446, 1448, 1450, 1452, 1454, 1456, 1458, 1460, 1462, 1464, 1466, 1468, 1470, 1472, 1474, 1476, 1478, 1480, 1482, 1484, 1486, 1488, 1490, 1492, 1494, 1496, 1498, 1500, 1502, 1504, 1506, 1508, 1510, 1512, 1514, 1516, 1518, 1520, 1522, 1524, 1526, 1528, 1530, 1532, 1534, 1536, 1538, 1540, 1542, 1544, 1546, 1548, 1550, 1552, 1554, 1556, 1558, 1560, 1562, 1564, 1566, 1568, 1570, 1572, 1574, 1576, 1578, 1580, 1582, 1584, 1586, 1588, 1590, 1592, 1594, 1596, 1598, 1600, 1602, 1604, 1606, 1608, 1610, 1612, 1614, 1616, 1618, 1620, 1622, 1624, 1626, 1628, 1630, 1632, 1634, 1636, 1638, 1640, 1642, 1644, 1646, 1648, 1650, 1652, 1654, 1656, 1658, 1660, 1662, 1664, 1666, 1668, 1670, 1672, 1674, 1676, 1678, 1680, 1682, 1684, 1686, 1688, 1690, 1692, 1694, 1696, 1698, 1700, 1702, 1704, 1706, 1708, 1710, 1712, 1714, 1716, 1718, 1720, 1722, 1724, 1726, 1728, 1730, 1732, 1734, 1736, 1738, 1740, 1742, 1744, 1746, 1748, 1750, 1752, 1754, 1756, 1758, 1760, 1762, 1764, 1766, 1768, 1770, 1772, 1774, 1776, 1778, 1780, 1782, 1784, 1786, 1788, 1790, 1792, 1794, 1796, 1798, 1800, 1802, 1804, 1806, 1808, 1810, 1812, 1814, 1816, 1818, 1820, 1822, 1824, 1826, 1828, 1830, 1832, 1834, 1836, 1838, 1840, 1842, 1844, 1846, 1848, 1850, 1852, 1854, 1856, 1858, 1860, 1862, 1864, 1866, 1868, 1870, 1872, 1874, 1876, 1878, 1880, 1882, 1884, 1886, 1888, 1890, 1892, 1894, 1896, 1898, 1900, 1902, 1904, 1906, 1908, 1910, 1912, 1914, 1916, 1918, 1920, 1922, 1924, 1926, 1928, 1930, 1932, 1934, 1936, 1938, 1940, 1942, 1944, 1946, 1948, 1950, 1952, 1954, 1956, 1958, 1960, 1962, 1964, 1966, 1968, 1970, 1972, 1974, 1976, 1978, 1980, 1982, 1984, 1986, 1988, 1990, 1992, 1994, 1996, 1998, 2000, 2002, 2004, 2006, 2008, 2010, 2012, 2014, 2016, 2018, 2020, 2022, 2024, 2026, 2028, 2030, 2032, 2034, 2036, 2038, 2040, 2042, 2044, 2046, 2048, 2050, 2052, 2054, 2056, 2058, 2060, 2062, 2064, 2066, 2068, 2070, 2072, 2074, 2076, 2078, 2080, 2082, 2084, 2086, 2088, 2090, 2092, 2094, 2096, 2098, 2100, 2102, 2104, 2106, 2108, 2110, 2112, 2114, 2116, 2118, 2120, 2122, 2124, 2126, 2128, 2130, 2132, 2134, 2136, 2138, 2140, 2142, 2144, 2146, 2148, 2150, 2152, 2154, 2156, 2158, 2160, 2162, 2164, 2166, 2168, 2170, 2172, 2174, 2176, 2178, 2180, 2182, 2184, 2186, 2188, 2190, 2192, 2194, 2196, 2198, 2200, 2202, 2204, 2206, 2208, 2210, 2212, 2214, 2216, 2218, 2220, 2222, 2224, 2226, 2228, 2230, 2232, 2234, 2236, 2238, 2240, 2242, 2244, 2246, 2248, 2250, 2252, 2254, 2256, 2258, 2260, 2262, 2264, 2266, 2268, 2270, 2272, 2274, 2276, 2278, 2280, 2282, 2284, 2286, 2288, 2290, 2292, 2294, 2296, 2298, 2300, 2302, 2304, 2306, 2308, 2310, 2312, 2314, 2316, 2318, 2320, 2322, 2324, 2326, 2328, 2330, 2332, 2334, 2336, 2338, 2340, 2342, 2344, 2346, 2348, 2350, 2352, 2354, 2356, 2358, 2360, 2362, 2364, 2366, 2368, 2370, 2372, 2374, 2376, 2378, 2380, 2382, 2384, 2386, 2388, 2390, 2392, 2394, 2396, 2398, 2400, 2402, 2404, 2406, 2408, 2410, 2412, 2414, 2416, 2418, 2420, 2422, 2424, 2426, 2428, 2430, 2432, 2434, 2436, 2438, 2440, 2442, 2444, 2446, 2448, 2450, 2452, 2454, 2456, 2458, 2460, 2462, 2464, 2466, 2468, 2470, 2472, 2474, 2476, 2478, 2480, 2482, 2484, 2486, 2488, 2490, 2492, 2494, 2496, 2498, 2500, 2502, 2504, 2506, 2508, 2510, 2512, 2514, 2516, 2518, 2520, 2522, 2524, 2526, 2528, 2530, 2532, 2534, 2536, 2538, 2540, 2542, 2544, 2546, 2548, 2550, 2552, 2554, 2556, 2558, 2560, 2562, 2564, 2566, 2568, 2570, 2572, 2574, 2576, 2578, 2580, 2582, 2584, 2586, 2588, 2590, 2592, 2594, 2596, 2598, 2600, 2602, 2604, 2606, 2608, 2610, 2612, 2614, 2616, 2618, 2620, 2622, 2624, 2626, 2628, 2630, 2632, 2634, 2636, 2638, 2640, 2642, 2644, 2646, 2648, 2650, 2652, 2654, 2656, 2658, 2660, 2662, 2664, 2666, 2668, 2670, 2672, 2674, 2676, 2678, 2680, 2682, 2684, 2686, 2688, 2690, 2692, 2694, 2696, 2698, 2700, 2702, 2704, 2706, 2708, 2710, 2712, 2714, 2716, 2718, 2720, 2722, 2724, 2726, 2728, 2730, 2732, 2734, 2736, 2738, 2740, 2742, 2744, 2746, 2748, 2750, 2752, 2754, 2756, 2758, 2760, 2762, 2764, 2766, 2768, 2770, 2772, 2774, 2776, 2778, 2780, 2782, 2784, 2786, 2788, 2790, 2792, 2794, 2796, 2798, 2800, 2802, 2804, 2806, 2808, 2810, 2812, 2814, 2816, 2818, 2820, 2822, 2824, 2826, 2828, 2830, 2832, 2834, 2836, 2838, 2840, 2842, 2844, 2846, 2848, 2850, 2852, 2854, 2856, 2858, 2860, 2862, 2864, 2866, 2868, 2870, 2872, 2874, 2876, 2878, 2880, 2882, 2884, 2886, 2888, 2890, 2892, 2894, 2896, 2898, 2900, 2902, 2904, 2906, 2908, 2910, 2912, 2914, 2916, 2918, 2920, 2922, 2924, 2926, 2928, 2930, 2932, 2934, 2936, 2938, 2940, 2942, 2944, 2946, 2948, 2950, 2952, 2954, 2956, 2958, 2960, 2962, 2964, 2966, 2968, 2970, 2972, 2974, 2976, 2978, 2980, 2982, 2984, 2986, 2988, 2990, 2992, 2994, 2996, 2998, 3000, 3002, 3004, 3006, 3008, 3010, 3012, 3014, 3016, 3018, 3020, 3022, 3024, 3026, 3028, 3030, 3032, 3034, 3036, 3038, 3040, 3042, 3044, 3046, 3048, 3050, 3052, 3054, 3056, 3058, 3060, 3062, 3064, 3066, 3068, 3070, 3072, 3074, 3076, 3078, 3080, 3082, 3084, 3086, 3088, 3090, 3092, 3094, 3096, 3098, 3100, 3102, 3104, 3106, 3108, 3110, 3112, 3114, 3116, 3118, 3120, 3122, 3124, 3126, 3128, 3130, 3132, 3134, 3136, 3138, 3140, 3142, 3144, 3146, 3148, 3150, 3152, 3154, 3156, 3158, 3160, 3162, 3164, 3166, 3168, 3170, 3172, 3174, 3176, 3178, 3180, 3182, 3184, 3186, 3188, 3190, 3192, 3194, 3196, 3198, 3200, 3202, 3204, 3206, 3208, 3210, 3212, 3214, 3216, 3218, 3220, 3222, 3224, 3226, 3228, 3230, 3232, 3234, 3236, 3238, 3240, 3242, 3244, 3246, 3248, 3250, 3252, 3254, 3256, 3258, 3260, 3262, 3264, 3266, 3268, 3270, 3272, 3274, 3276, 3278, 3280, 3282, 3284, 3286, 3288, 3290, 3292, 3294, 3296, 3298, 3300, 3302, 3304, 3306, 3308, 3310, 3312, 3314, 3316, 3318, 3320, 3322, 3324, 3326, 3328, 3330, 3332, 3334, 3336, 3338, 3340, 3342, 3344, 3346, 3348, 3350, 3352, 3354, 3356, 3358, 3360, 3362, 3364, 3366, 3368, 3370, 3372, 3374, 3376, 3378, 3380, 3382, 3384, 3386, 3388, 3390, 3392, 3394, 3396, 3398, 3400, 3402, 3404, 3

chip 4 side. The flash memory chip 4 has a plurality of controller interface terminals 4Pc electrically connected to the controller chip 5 (SA, SB) on the controller chip 5A side. The terminals SPI, SF, and 4PK comprise, for example, bonding pads respectively.

According to the above, since the long controller chip 5 (SA, SB) is caused to approach the connector terminals 2 and the flash memory chip 4 is placed on the side opposite to the controller chip 5 (SA, SB), the area for laying out each flash memory chip 4 can be made relatively large. Further, wirings for respectively electrically connecting the connector terminals 2, the controller chip 5 (SA, SB) and each memory chip 4 may be wired regularly in their arrangement directions. It is not necessary to adopt wirings which bypass each chip and are folded complicatedly.

The connecting pads 3 may be electrically connected to their corresponding connector interface terminals 5P of the controller chip 5 (SA, SB) through bonding wires 7. Further, the memory interface terminals 5P of the controller chip 5 (SA, SB) may be electrically connected to the corresponding controller interface terminals 4P of each flash memory chip 4 through bonding wires 8 and conductive patterns 9. Thus, this can simplify each wiring layer of the card substrate and is capable of contributing a cost reduction.

When interface terminals 5P of a controller chip and a flash memory chip are placed in random orientations with respect to bonding pads 3 as shown in a comparative example of FIG. 14, wirings for respectively electrically connecting the controller chip, the controller chip and the memory chip bypass the chips, pass complicated paths, complicate each wiring layer of the card substrate, degrade electrical characteristics, make an increase in cost and decrease reliability.

A detailed configuration of a state in which circuit elements are mounted on the multi media card-based memory card MCI shown in FIG. 6 is illustrated in FIG. 15 by way of example on a plane basis. FIG. 16 is a vertical cross-sectional view of the configuration shown in FIG. 15. Test terminals 10 are not illustrated in the configurations shown in FIGS. 15 and 16. Further, FIGS. 15 and 16 include portions designated at reference numerals different from those shown in FIG. 6.

A card substrate 1 comprises a glass epoxy resin or the like. The connector terminals 2 are formed on the back of the card substrate 1 by conductive patterns. The controller chip 5 and the flash memory chips 4 are mounted on the surface of the card substrate 1 through wiring patterns and conductive patterns. In the drawing, reference numerals 3 respectively indicate connecting pads electrically connected to their corresponding connector terminals 2 via through holes 40.

Referring to FIG. 15, the bonding wires 8 shown in FIG. 6 are illustrated as S6, S6 and S6 in pairs. The controller chip 5 and the memory chips 4 are so-called bare chips, and the external terminals SPI, SF and 4PK thereof are bonding pads such as aluminum, an aluminum alloy, copper or a ferrite alloy or the like.

Each of the flash memory chips 4 has a memory cell array

providing instructions for a chip selection, an input terminal used for a write enable signal/W/E for providing instructions for a write operation, input/output terminals I/O, an input terminal used for a command-data enable signal/CDE for providing instructions as to whether the input/output terminals I/O through I/O7 should be used for either the input/output of data or the input of address, an input terminal used for an output enable signal/OE, for providing instructions for a clock signal/SC for providing instructions for data latch timing, an output terminal used for a ready/busy signal/R/B for giving instructions as to whether the flash memory chip is being in a write operation, and the outside, and an input terminal used for a reset signal/R/LS. The controller chip 5 controls the reading and writing of data from and into the flash memory chip 4 according to instructions given from outside. Further, the controller chip 5 has a security function for encrypting or encoding data to be written into the flash memory chip 4 in consideration of data security or copyright protection or the like and decoding or decoding the data read from the flash memory chip 4.

The external terminals SPI of the controller chip 5 correspond to input/output functions of the connector terminals 2. An output terminal used for a chip select signal/CE0 with respect to the flash memory chip 4, and an output terminal used for a clock signal/SC1 with respect to the flash memory chip 4 are included as the external terminals SPI for obtaining memory access to the controller chip 5. Further, the external terminals 5P of the controller chip 5 correspond to the external terminals 3, which correspond to the external terminals 4P of the flash memory chip 4 and are reversed in input/output direction, are provided as the external terminals 5P.

As described above, the bonding wires 7 are used to connect the connecting pads 3 and their corresponding external terminals 5P of the controller chip 5, and the bonding wires S6, S6 and S6 are used to connect the controller chip 5 and the flash memory chip 4. Thus, a large number of wirings having the same functions as the connections thereof by the bonding wires may not be formed on the card substrate in a compact mass. Spacing lying above the controller chip 5 and each flash memory chip 4 can be utilized for wiring in brief, substrate wiring can be simplified owing to air wiring of bonding wires.

Accordingly, his can contribute to a reduction in the cost of the card substrate 1.

In the configuration shown in FIG. 15, the two flash memory chips 4 are parallel connected to the controller chip 5 by the bonding wires. At this time, the two non-volatile memory chips 4 are mounted on the card substrate 1 in their position-yield and overlapped state so that the external terminals 4PK thereof are exposed. Thus, the distance to the controller chip 5 becomes short and routing lengths of the bonding wires S6 and S6 become short as compared with the case in which the non-volatile memory chips 4 are laid out without their overlapping. Accordingly, the possibility that undesired contacts and breaks of the bonding wires will occur, can be lessened. The amounts of shifts of a plurality of non-volatile memory chips 4 at the time that they are stacked on one another, may be determined without a range in which one lower chip can exist below bonding external terminals of an upper chip. This is because, when no lower chip exists below the bonding external terminals, there is a possibility that each chip will suffer damage due to a mechanical force at bonding.

Referring to FIG. 16, the controller chip 5 and non-volatile memory chips 4 are molded with a thermosetting

resin 55 as a whole. At this time, each through hole 40 is not included in an area molded by the thermosetting resin 55. Thus, it is possible to eliminate the possibility that they are molted under pressure, the mold resin 55 will leak into the reverse side of the card substrate 1 via each through hole 40, thereby causing a mold failure.

In FIG. 16, the casing 12 for covering the surface of the card substrate 1 can be made up of, for example, a metal cap or the like whose surface is subjected to insulating coating. Thus, as compared with a resin cap, it provides countermeasures against EMI (Electro Magnetic Interference) and also allows sealing based on mechanical fastening and high-temperature-based cap scaling.

Increasing the thickness of the controller chip 5 as compared with that of each flash memory chip 4 as described in FIG. 16 allows prevention of the occurrence of a failure in multi media card.

In FIG. 16, the thickness of the flash memory chip 4 is 220 μm and the thickness of the controller chip 5 is 280 μm. The height of the controller chip 5 after its mounting is about 320 μm. A post-mounting height at the time that the two flash memory chips 4 are stacked and mounted, reaches 220 μm inclusive of the thickness of an adhesive layer for bonding their chip reverse sides to each other. Further, since the height of each bonding wire loop formed on the flash memory chips 4 and the controller chip 5 is about 200 μm, the whole height up to the uppermost portion of the bonding wire loop at the time that the two flash memory chips 4 are stacked, reaches 720 μm. Thus, the controller chip 5 is thicker than the flash memory chip 4. Further, the controller chip 5 is thinner than the thickness of the two flash memory chips 4. Alternatively, the post-mounting height of the controller chip 5 is about equal to or lower than the height of the two stacked and mounted flash memory chips 4.

It is thus, necessary that in the memory card whose thickness is limited according to standards, when the chips are stacked on each other and mounted, the chips to be stacked are formed thin in advance to avoid failures such as the exposure of bonding wires on the mold resin 55. Increasing the thickness of the controller chip 5 as compared with that of the flash memory chip 4 in the memory card in which the flash memory chips 4 are placed in stacked form, yields the following effects.

A sufficient increase in the thickness of the controller chip 5 prevents failures such as cracking and chipping-off of the chip and also improves a handling characteristic at the time that each chip is placed on the substrate. Thus, even in the case of a memory card equipped with a large number of chips as in the case where the chips are placed in stacked form, a reduction in the yield can be prevented from occurring and throughput in a mounting process can be improved.

Excessively thinning the thickness of the controller chip 5 yields an increase in the possibility that each chip will break due to pressure at the injection of a mold resin and 55 external terminals 5P on the connector interface side of the controller chip 5. Thus, a chip placed in a single layer needs to increase its thicknesses as compared with that of chips mounted in stacked form with a view toward obtaining a strength equivalent to such an extent as to be capable of avoiding the buckling. The controller chip 5 is mounted to portion nearer the connector terminals 2 as compared with the flash memory chips 4. In the case of the portion nearer each connector

terminals 2, distortion is developed in the memory card due to a stress given or suffered from the socket terminal 22 connected to the connector terminals 2 when the memory card is in use. Such distortion is transferred to the controller chip 5 nearer the connector terminals 2 as a large internal stress. As a result of the repeated use of the memory card, there is a possibility that a failure such as the generation of chip's cracking will occur. However, if a structure or configuration is adopted wherein the chip mounted onto the portion nearer the connector terminals 3 is set thicker than each chip mounted to a portion far from the connector terminals 2, then resistance to the stress suffered from the connector terminals 2 can be sufficiently ensured and a failure such as breakage developed inside the memory card due to its repeated use can be avoided.

The card substrates 1, 1 and 1A through 1E are respectively provided with the test terminals 10 connected to the controller chip 5 and the memory chips 4 in order to efficiently test the post-mounting controller chip 5 and flash memory chips 4. Since the test terminals 10 may be avoided from being always exposed after they have been incorporated into a casing, the test terminals are formed on a surface on the side opposite to a forming surface of the connector terminals 3 of the card substrate from this point of view.

The state of connections of the test terminals of the multi media card-based memory card MCI shown in FIG. 6 is illustrated in FIG. 17 by way of example. In FIG. 17, the state of connections between a controller chip 5 and each non-volatile memory chip 4 is simplified in the drawing to emphasize on the state of connections of the test terminals. In FIG. 17, circuit elements each having the same numerals as FIG. 6 are identified by the same reference numerals and their detailed description will therefore be omitted.

The controller chip 5 has an input terminal (also described simply "test terminal/TEST") for a test signal/TEST pulled up thereto as one of external terminals 5P although it is not shown in FIG. 6. When a low level is inputted to the test terminal /TEST, the test terminal /TEST serves so as to control a terminal 10 for interfacing with each non-volatile memory chip 4, particularly, an output terminal and an input/output terminal to a high-output impedance state or an input/output impedance or non-ready state. Further, a TEST input terminal may be input-controlled according to a serial command (enclosed or encoded command) for security.

A test control terminal 10 connected to the test terminal /TEST on the memory interface side of the controller chip 5 is formed on the card substrate 1. Test terminals 5P are connected to all the remaining external terminals 5P on the memory interface side of the controller chip 5 by a wiring 11B in a one-to-one correspondence with one another are formed on the card substrate 1. There are also provided a testing ground terminal 10c connected to an external terminal 10 for a ground power source by a wiring 11c of external terminals 5P on the connector interface side of the controller chip 5, and a testing power terminal 10d connected to an external terminal 11 for a source voltage Vdd by a wiring 11B of the external terminals 5P on the connector interface side of the controller chip 5 in the same manner as described above. Designated at numeral 33 in FIG. 17 is a guard ring added to the card substrate 1 for the purpose of preventing electrostatic discharge damage. The guard ring 33 orbits or goes around the card substrate 1 and is connected to circuit's ground power terminals.

Since a control terminal 10a for supplying a control signal /TEST for controlling each terminal on the memory inter-



The mode control circuit 118 controls the flash memory chip 4 over its entirety according to commands. The operation of the flash memory chip 4 is basically determined according to commands. The commands assigned to the flash memory chip include commands for reading, erasing, writing, etc.

The flash memory chip 4 has a status register 122 for the purpose of indicating its internal state. The contents thereof can be read from the input/output terminals I/O0 through I/O7 by asserting the signal OE.

The invention made by the present inventors has been described specifically based on the embodiments. However, the present invention is not limited to the embodiments. It is needless to say that various changes can be made thereto within the scope not departing from the substance thereof.

The present invention can be applied to, for example, a memory card other than outline specifications of a multi media card e.g., a memory having another standard such as a compact flash memory or the like. Further, the present invention can be applied even to an IC card functioning as an interface card as well as to the memory card. Even in the case of specifications of a small and thin IC card such as a multi media card or the like, the present invention can be applied to an interface. A memory mounted to an IC card according to the present invention is not limited to a non-volatile memory and may be volatile memories (SRAM, DRAM, etc.). An IC card equipped with both a non-volatile memory and a volatile memory may be used. The flash memory chip may be a non-volatile memory chip or a mask ROM based on another storage formats according to use applications of a memory card.

The above description has principally been made of the case in which the invention made by the present inventors has been applied to the memory card which falls within an application field serving as the background of the invention. However, the present invention is not limited to and can be applied even to applications of IC cards such as a passport, a credit card, an ID card, etc.

Advantageous effects obtained by typical ones of the inventions disclosed in the present application will be explained in brief as follows.

Namely, it is possible to improve serviceability and reliability of an IC card.

An IC card can be provided which is easy to implement an arrangement of connector terminals and compatibility related to functions.

An IC card can be implemented which is hard to cause a power-to-power short when it is loaded in a card socket.

A high-reliability IC card can be provided which is capable of avoiding the compacting of wiring patterns and that of bonding wires and provides high speed and high performance.

An IC card can be implemented which is capable of blocking the entry of surges from each connector terminal by a simple configuration.

What is claimed is:

1. An integrated circuit (IC) card comprising:  
a card substrate including,  
a semiconductor integrated circuit chip mounted thereon; and  
a plurality of connector terminals formed thereon;
2. The IC card according to claim 1, wherein a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal, and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.
3. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to four bits and are provided as nine in total.
4. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to eight bits and are provided as thirteen in total.
5. The IC card according to claim 1, wherein broad terminal-to-terminal distance is set to positions of a connector terminal of the first sequence facing the second sequence.
6. An integrated circuit (IC) card comprising:  
a card substrate including,  
a semiconductor integrated circuit chip mounted thereon; and  
a plurality of connector terminals formed thereon;
7. The IC card according to claim 6, wherein said connector terminals include an arrangement of first and second sequences formed back and forth as viewed in an IC card inserting direction, and an arrangement of terminal-to-terminal areas in the first sequence and an arrangement of terminal-to-terminal areas in the second sequence are shifted from one another in a sequence direction, and wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal, and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.
8. The IC card according to claim 7, wherein a connector terminal at one end of the second sequence extends to a position adjoining a connector terminal, as viewed in a sequence direction, at one end of the first sequence, and a connector terminal at a second end of the second sequence extends to a position adjoining a connector terminal, as viewed in the sequence direction, at a second end of the first sequence.

\* \* \* \*

wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal, and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.

2. The IC card according to claim 1, wherein said connector terminals include two ground voltage supply terminals and one clock signal input terminal.

3. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to four bits and are provided as nine in total.

4. The IC card according to claim 2, wherein said connector terminals include data terminals corresponding to eight bits and are provided as thirteen in total.

5. The IC card according to claim 1, wherein broad terminal-to-terminal distance is set to positions of a connector terminal of the first sequence facing the second sequence.

6. An integrated circuit (IC) card comprising:  
a card substrate including,  
a semiconductor integrated circuit chip mounted thereon; and  
a plurality of connector terminals formed thereon;

7. The IC card according to claim 6, wherein said connector terminals include an arrangement of first and second sequences formed back and forth as viewed in an IC card inserting direction, and an arrangement of terminal-to-terminal areas in the first sequence and an arrangement of terminal-to-terminal areas in the second sequence are shifted from one another in a sequence direction, and wherein the first sequence includes a source voltage supply terminal, and the second sequence is devoid of connector terminals at a position adjacent to the source voltage supply terminal, and at positions adjacent to terminal-to-terminal areas at opposite sides of the source voltage supply terminal.

8. The IC card according to claim 7, wherein a connector terminal at one end of the second sequence extends to a position adjoining a connector terminal, as viewed in a sequence direction, at one end of the first sequence, and a connector terminal at a second end of the second sequence extends to a position adjoining a connector terminal, as viewed in the sequence direction, at a second end of the first sequence.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**